

## METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

**Publication number:** JP2003051446 (A)

**Publication date:** 2003-02-21

**Inventor(s):** MIYAIRI HIDEKAZU

**Applicant(s):** SEMICONDUCTOR ENERGY LAB

**Classification:**

- international: G02F1/1368; H01L21/20; H01L21/336; H01L29/786; H01L51/50; H05B33/10; G02F1/13; H01L21/02; H01L29/66; H01L51/50; H05B33/10; (IPC1-7): H01L21/20; G02F1/1368; H01L21/336; H01L29/786

- European:

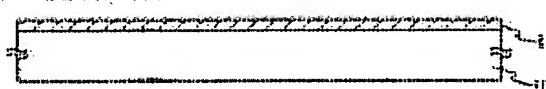
**Application number:** JP20020156773 20020530

**Priority number(s):** JP20020156773 20020530; JP20010166642 20010601

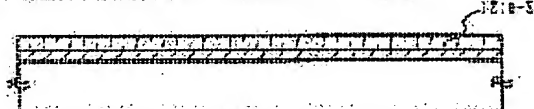
**Abstract of JP 2003051446 (A)**

**PROBLEM TO BE SOLVED:** To provide a TFT which has flat surface for a semiconductor film and has a low off-state current value and has suppressed variations, and also to provide an electronic apparatus provided with the same.  
**SOLUTION:** A basic insulation film 11 and an amorphous semiconductor film 12 are formed at nearly the same film-forming temperature, and the obtained amorphous semiconductor film is irradiated with a first laser light to be crystallized. To improve the planarity of the semiconductor film, a second laser light is irradiated in vacuum, eliminating fine holes which has been generated by the irradiation of a laser light in a vacuum, and thereby obtaining a high-quality surface for the semiconductor film.

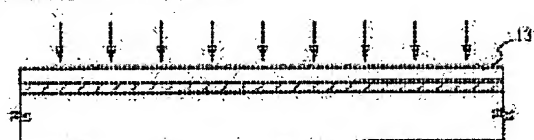
(A) 下絶縁膜の形成



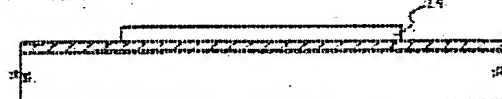
(B) 非晶質半導体膜の形成 (下絶縁膜と同一成膜温度)



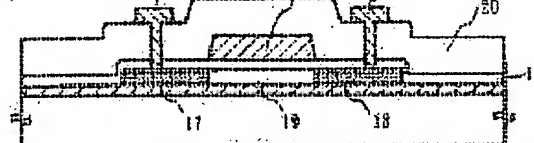
(C) 結晶化 (レーザー光の照射)



(D) 半導体膜の平坦化



(E)



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-51446

(P2003-51446A)

(43) 公開日 平成15年2月21日 (2003.2.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 21/20		H 0 1 L 21/20	2 H 0 9 2
G 0 2 F 1/1368		G 0 2 F 1/1368	5 F 0 5 2
H 0 1 L 21/336		H 0 1 L 29/78	6 2 7 G 5 F 1 1 0
29/786			6 2 6 C
			6 1 8 A
審査請求 未請求 請求項の数17 O L (全 31 頁) 最終頁に続く			

(21) 出願番号 特願2002-156773 (P2002-156773)  
(22) 出願日 平成14年5月30日 (2002.5.30)  
(31) 優先権主張番号 特願2001-166642 (P2001-166642)  
(32) 優先日 平成13年6月1日 (2001.6.1)  
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地  
(72) 発明者 宮入 秀和  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

最終頁に続く

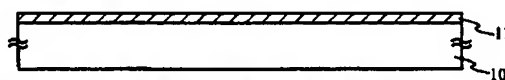
(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

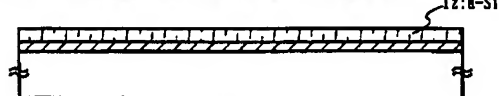
【課題】本発明は、半導体膜表面を平坦とし、オフ電流値が低く、バラツキが抑えられた T F T および該 T F T を備えた電子機器を得ることを課題とする。

【解決手段】下地絶縁膜 1 1 と非晶質半導体膜 1 2 の成膜温度をほぼ同程度とし、得られた非晶質半導体膜に第 1 のレーザー光を照射して結晶化させ、さらに半導体膜の平坦性を向上させる第 2 のレーザー光の照射を真空中で行うことによって、真空中でレーザー光を照射した際に生じていた微小な穴をなくし、良好な半導体膜表面を得ることができる。

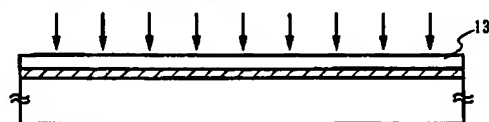
(A) 下地絶縁膜の形成



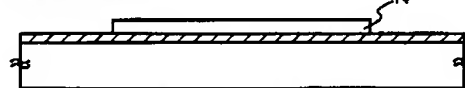
(B) 非晶質半導体膜の形成 (下地絶縁膜と同一成膜温度)



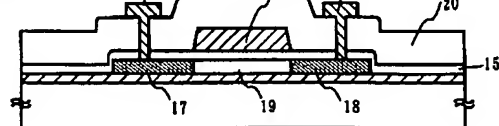
(C) 結晶化 (レーザー光の照射)



(D) 半導体層の形成



(E)



【特許請求の範囲】

【請求項1】絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜にレーザー光を照射して結晶化を行い、結晶構造を有する半導体膜を形成する第3工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度とが同一であることを特徴とする半導体装置の作製方法。

【請求項2】絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜にレーザー光を照射して結晶化を行い、結晶構造を有する半導体膜を形成する第3工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法。

【請求項3】絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜にレーザー光を照射する第3工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法。

【請求項4】絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜にレーザー光を照射して結晶化を行い、結晶構造を有する半導体膜及び該膜上に酸化膜とを形成する第3工程と、前記酸化膜を除去する第4工程と、不活性気体雰囲気または真空中でレーザー光を照射して前記半導体膜の表面を平坦化する第5工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法。

【請求項5】請求項4において、前記第5工程におけるレーザー光のエネルギー密度は、前記第3工程におけるレーザー光のエネルギー密度より高いことを特徴とする半導体装置の作製方法。

【請求項6】請求項4または請求項5において、前記第5工程におけるレーザー光のオーバーラップ率は、前記第3工程におけるレーザー光のオーバーラップ率より少ないことを特徴とする半導体装置の作製方法。

【請求項7】絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜に金属元素を添加する第3工程と、前記半導体膜を加熱処理した後、レーザー光を照射して結晶構造を有する半導体膜及び該膜上に酸化膜を形成する第4工程と、前記酸化膜を除去する第5工程と、不活性気体雰囲気または真空中でレーザー光を照射して前記半導体膜の表面を平坦化する第6工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$

の範囲内であることを特徴とする半導体装置の作製方法。

【請求項8】絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質構造を有する第1の半導体膜を形成する第2工程と、前記非晶質構造を有する第1の半導体膜に金属元素を添加する第3工程と、前記第1の半導体膜を加熱処理した後、レーザー光を照射して結晶構造を有する第1の半導体膜及び該膜上に酸化膜を形成する第4工程と、前記酸化膜を除去する第5工程と、不活性気体雰囲気または真空中でレーザー光を照射して前記第1の半導体膜の表面を平坦化する第6工程と、前記結晶構造を有する半導体膜の表面をオゾンを含む溶液で酸化してバリア層を形成する第7工程と、前記バリア層上に希ガス元素を含む第2の半導体膜を形成する第8工程と、前記第2の半導体膜に前記金属元素をゲッタリングして結晶構造を有する第1の半導体膜中の前記金属元素を除去または低減する第9工程と、前記第2の半導体膜及びバリア層を除去する第10工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質構造を有する第1の半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法。

【請求項9】請求項8において、前記希ガス元素はH e、N e、A r、K r、X eから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項10】請求項8または請求項9において、前記第2の半導体膜は、希ガス元素を含む雰囲気中で半導体をターゲットとするスパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項11】請求項7乃至11のいずれかにおいて、前記第4工程における加熱処理は、熱処理または強光を照射する処理であることを特徴とする半導体装置の作製方法。

【請求項12】請求項11において、前記強光は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光であることを特徴とする半導体装置の作製方法。

【請求項13】請求項7乃至12のいずれかにおいて、前記金属元素はF e、N i、C o、R u、R h、P d、O s、I r、P t、C u、A uから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項14】請求項1乃至13のいずれかにおいて、前記レーザー光は、エキシマレーザ、YAGレーザ、Y V O<sub>4</sub>レーザ、またはYLFレーザから射出されたレーザー

光であることを特徴とする半導体装置の作製方法。

【請求項 15】請求項 4 乃至 14 のいずれか一において、前記不活性気体雰囲気は、窒素雰囲気であることを特徴とする半導体装置の作製方法。

【請求項 16】請求項 1 乃至 15 のいずれか一において、前記レーザー光は、パルス発振または連続発振のレーザーから射出されたレーザー光であることを特徴とする半導体装置の作製方法。

【請求項 17】絶縁表面上に下地絶縁膜を形成する第 1 工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第 2 工程と、

前記非晶質半導体膜に金属元素を添加する第 3 工程と、前記半導体膜を加熱処理した後、パルス発振のレーザー光を照射して結晶構造を有する半導体膜及び該膜上に酸化膜を形成する第 4 工程と、

前記酸化膜を除去する第 5 工程と、不活性気体雰囲気または真空中で連続発振のレーザー光を照射して前記半導体膜の表面を平坦化する第 6 工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が±50℃の範囲内であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、EL素子等を備えた発光装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】アクティブマトリクス型の液晶モジュール、ELモジュール、および密着型イメージセンサはその代表例として知られている。特に、結晶構造を有するシリコン膜（典型的にはポリシリコン膜）を活性層にしたTFT（以下、ポリシリコンTFTと記す）は電界効果移動度が高いことから、いろいろな機能を備えた回路を形成することも可能である。

【0005】例えば、液晶表示装置に搭載される液晶モジュールには、機能ブロックごとに画像表示を行う画素部や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路な

どの画素部を制御するための駆動回路が一枚の基板上に形成される。

【0006】また、アクティブマトリクス型の液晶モジュールの画素部には、数十から数百万個の各画素にTFT（画素TFT）が配置され、その画素TFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0007】画素TFTはnチャネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることが重要である。

【0008】また、より優れた電気特性を有するTFTをより安価で作製するためには、短時間での処理が可能なレーザアニールの技術が必要不可欠となってきている。

【0009】一般的にレーザアニールは、非晶質半導体膜を結晶化させる処理や、結晶性を向上させる処理等に多く用いられている。なお、レーザアニールによく用いられるレーザはエキシマレーザである。出力の大きいパルス発振のレーザビームを被照射面において、数cm角の四角いスポットや、例えば長さ10cm以上の線状となるように光学系にて加工し、レーザビームの照射位置を被照射面に対し相対的に走査させてレーザアニールを行う方法は、生産性が高く量産に優れているため、好んで使用されている。特に、被照射面においてレーザビームの形状が線状であるレーザビーム（以下、線状ビームと表記する）を用いると、前後左右の走査が必要なスポット状のレーザビームを用いた場合とは異なり、線状ビームの線方向に直角な方向だけの走査で被照射面全体にレーザビームを照射することができるため、生産性が高い。線方向に直角な方向に走査するのは、それが最も効率の良い走査方向であるからである。この高い生産性により、レーザアニールには大出力のレーザを適当な光学系で加工した線状ビームを使用することが主流になりつつある。また、この線状ビームをその短尺方向に徐々にずらしながら重ねて照射することにより、非晶質シリコン膜全面に対しレーザアニールを行い、結晶化させたり、結晶性を向上させることができる。

【0010】また、TFTをより安価で作製するためには、半導体基板や石英基板よりも安価であり、且つ、大面積化の可能なガラス基板上にTFTを作製することが必要不可欠となってきている。

#### 【0011】

【発明が解決しようとする課題】ガラス基板を用いる場合、ガラス基板に含まれるアルカリ金属が拡散するのを防止するため、シリコンを主成分とする絶縁膜（酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜等）からなる下地絶縁膜を設け、該膜上に非晶質シリコン膜を形成し、レーザー光の照射を行っている。

【0012】本発明者らは、数多くの実験、検討を重ねているうちに、レーザー照射後のシリコン膜の表面に微小な穴を多数見出した。この微小な穴は非常に小さいものであり、SEM（3.5万倍）観察での写真図を図26に示す。そして、本発明者らは、この微小な穴による半導体膜表面の凹凸が原因で、基板上に多数形成されるTFT間でバラツキが生じていることを見出した。この微小な穴のある位置にTFTの活性層が形成された場合、そのTFTの電気特性は、同一基板上に作製された他のTFTと比較して不良なものであった。

【0013】また、この微小な穴は、比較的高いエネルギー密度、或いは比較的高いオーバーラップ率でレーザー光を照射した場合に多く発生しており、特に窒素雰囲気中や真空中でレーザー光を照射した場合に顕著に現れる傾向がある。

【0014】また、上記微小な穴は、下地絶縁膜上に非晶質シリコン膜を形成した場合では発生するが、下地絶縁膜を形成せずに基板に接して非晶質シリコン膜を形成した場合では発生していない。

【0015】これらのことを踏まえ、本発明者らは、この微小な穴の発生する原因を突き止めようと各種多方面から数多くの実験、検討を重ねた。その結果、さらに、本発明者らは、レーザー光を照射する前に非晶質シリコン膜表面に微小な凸部が形成されていることを見出した。この微小な凸部も非常に小さいもの（代表的には直径1 $\mu$ m以下、高さ0.05 $\mu$ m以下）であり、SEM（5万倍）観察での写真図を図25に示す。なお、この微小な凸部およびその付近をEDX分析で測定したところ、ゴミ等の不純物ではないことが確認できている。

【0016】この微小な凸部にレーザー光が照射されると上記微小な穴が発生しやすく、本発明者らは、この微小な凸部が微小な穴の発生する原因であることを突き止めた。

【0017】この微小な凸部は下地絶縁膜上に非晶質シリコン膜を成膜した段階で形成されており、非常に小さな輝点として500倍の暗視野反射モードで顕微鏡観測できる。

【0018】下地絶縁膜を形成しないという手段もとれるが、下地絶縁膜は、ガラス基板に含まれるアルカリ金属などの不純物イオンがこの上層に形成される半導体膜中に拡散しないために設けられるものであり、TFTをより安価で作製するためには必要不可欠である。

【0019】本発明は、安価な基板（ガラス基板等）上

に下地絶縁膜と非晶質半導体膜を積層形成し、レーザー光を照射しても、上記微小な凸部および該凸部による微小な穴の発生を抑制することを目的とする。即ち、下地絶縁膜上に平坦性の優れた表面を有する非晶質半導体膜を得ることを目的とする。

#### 【0020】

【課題を解決するための手段】上記諸問題を解決すべく、各種多方面から数多くの実験、検討を重ねたところ、下地絶縁膜の成膜温度と、非晶質半導体膜を形成する成膜温度をほぼ同一とすることで下地絶縁膜上に上記微小な凸部のない平坦性の優れた表面を有する非晶質半導体膜を得ることができ、レーザー光を照射しても上記微小な穴の発生を抑えることができる。

【0021】なお、「成膜温度をほぼ同一とする」とは、前記下地絶縁膜の成膜温度に対する前記非晶質半導体膜の成膜温度の比が0.8～1.2、好ましくは下地絶縁膜の成膜温度と非晶質半導体膜の成膜温度との差が $\pm 5^{\circ}\text{C}$ の範囲内であることを指している。

【0022】本明細書で開示する発明の第1の構成は、絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜にレーザー光を照射して結晶化を行い、結晶構造を有する半導体膜を形成する第3工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度とが同一であることを特徴とする半導体装置の作製方法である。

【0023】また、本発明の第2の構成は、絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜にレーザー光を照射して結晶化を行い、結晶構造を有する半導体膜を形成する第3工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 5^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法である。

【0024】下地絶縁膜の成膜温度と、非晶質半導体膜を形成する成膜温度をほぼ同一とすることで平坦性の高い半導体膜表面が得られる。平坦性の高い半導体膜をTFTの活性層に用いれば、耐圧が上がりTFTの信頼性が向上する。

【0025】また、本発明は、結晶化の際に照射するレーザー光に限らず、半導体装置の作製工程で使用するレーザー光での処理、例えば膜質改善や不純物元素の活性化に使用するレーザーアニールにおいても適用可能である。

【0026】また、本発明の第3の構成は、絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜にレーザー光を照射する第3工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 5^{\circ}\text{C}$ の範囲内であることを特徴とする半導

体装置の作製方法である。

【0027】また、従来では平坦化処理として、塗布膜を形成した後エッチングなどを行って平坦化するエッチバック法や機械的研磨法（CMP法）等があるが、本発明は、下地絶縁膜と非晶質半導体膜の成膜温度を同一とするだけでよく、平坦化による膜厚減少や工程増加はない。

【0028】また、本発明は、ガラス基板のように下地絶縁膜を必要とする場合において、特に有効である。

【0029】また、本発明の第4の構成は、絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜にレーザー光を照射して結晶化を行い、結晶構造を有する半導体膜及び該膜上に酸化膜とを形成する第3工程と、前記酸化膜を除去する第4工程と、不活性気体雰囲気または真空中でレーザー光を照射して前記半導体膜の表面を平坦化する第5工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法である。

【0030】また、半導体膜に対し真空中または不活性ガス雰囲気中でレーザー光を照射する場合において、微小な穴が発生しやすいので、本発明は、特に有効である。

【0031】また、上記第4の構成において、前記第5工程におけるレーザー光のエネルギー密度は、前記第3工程におけるレーザー光のエネルギー密度より高いことを特徴としている。

【0032】また、上記第4の構成において、前記第5工程におけるレーザー光のオーバーラップ率は、前記第3工程におけるレーザー光のオーバーラップ率より少ないことを特徴としている。

【0033】また、本発明の第5の構成は、絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半導体膜に金属元素を添加する第3工程と、前記半導体膜を加熱処理した後、レーザー光を照射して結晶構造を有する半導体膜及び該膜上に酸化膜を形成する第4工程と、前記酸化膜を除去する第5工程と、不活性気体雰囲気または真空中でレーザー光を照射して前記半導体膜の表面を平坦化する第6工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法である。

【0034】また、本発明の第6の構成は、絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質構造を有する第1の半導体膜を形成する第2工程と、前記非晶質構造を有する第1の半導体膜に金属元素を添加する第3工程と、前記第1の半導体膜を加熱処理した後、レーザー光を照射して結晶構造を有する第1の半導体膜及び該膜上に酸化膜を形成する第4工程と、

前記酸化膜を除去する第5工程と、不活性気体雰囲気または真空中でレーザー光を照射して前記第1の半導体膜の表面を平坦化する第6工程と、前記結晶構造を有する半導体膜の表面をオゾンを含む溶液で酸化してバリア層を形成する第7工程と、前記バリア層上に希ガス元素を含む第2の半導体膜を形成する第8工程と、前記第2の半導体膜に前記金属元素をゲッタリングして結晶構造を有する第1の半導体膜中の前記金属元素を除去または低減する第9工程と、前記第2の半導体膜及びバリア層を除去する第10工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質構造を有する第1の半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法である。

【0035】また、上記第6の構成において、前記希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴としている。

【0036】また、上記第6の構成において、前記第2の半導体膜は、希ガス元素を含む雰囲気中で半導体をターゲットとするスパッタ法により形成すればよい。

【0037】また、上記第5の構成または上記第6の構成において、前記第4工程における加熱処理は、熱処理または強光を照射する処理であることを特徴としている。前記強光とは、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光である。

【0038】また、上記第5の構成または上記第6の構成において、前記金属元素はシリコンの結晶化を助長する元素、Fe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種である。

【0039】また、上記各構成において、前記レーザー光は、連続発振またはパルス発振のエキシマレーザ、Arレーザ、Krレーザ、或いは、連続発振またはパルス発振のYAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti：サファイアレーザから射出されたレーザー光である。

【0040】また、上記第4の構成、上記第5の構成、または上記第6の構成において、前記不活性気体雰囲気は、窒素雰囲気である。

【0041】また、上記第4の構成、上記第5の構成、または上記第6の構成において、2回目のレーザー光照射は、真空中または不活性ガス雰囲気で行われる平坦化処理であり、さらに半導体膜の表面が平坦化される。特にゲート絶縁膜が薄い場合、例えば膜厚100nm以下において非常に有効である。

【0042】また、本発明の第7の構成は、絶縁表面上に下地絶縁膜を形成する第1工程と、前記下地絶縁膜上に非晶質半導体膜を形成する第2工程と、前記非晶質半

導体膜に金属元素を添加する第3工程と、前記半導体膜を加熱処理した後、パルス発振のレーザー光を照射して結晶構造を有する半導体膜及び該膜上に酸化膜を形成する第4工程と、前記酸化膜を除去する第5工程と、不活性気体雰囲気または真空中で連続発振のレーザー光を照射して前記半導体膜の表面を平坦化する第6工程とを有し、前記下地絶縁膜の成膜温度と前記非晶質半導体膜の成膜温度との差が $\pm 50^{\circ}\text{C}$ の範囲内であることを特徴とする半導体装置の作製方法である。

#### 【0043】

【発明の実施の形態】本発明の実施形態について、以下に説明する。

【0044】本発明は、任意の面積の絶縁表面上に下地絶縁膜を形成するプロセスと、該下地絶縁膜上に該下地絶縁膜と同じ成膜温度で半導体膜を形成するプロセスと、該半導体膜にレーザー光を照射するプロセスとを少なくとも有している。

【0045】同じ成膜温度としたことでレーザー光を照射する前の段階で微小な凸部のない平坦な半導体膜表面が得られる。この平坦な表面を有する半導体膜にレーザー光照射を行ってTFTを作製すれば、良好な電気特性が得られる。

【0046】以下に本発明を用いた代表的なTFTの作製手順を簡略に図1～図4を用いて示す。

【0047】（実施の形態1）ここでは、レーザー光を照射して非晶質半導体膜を結晶化する技術に本発明を適用した一例を示す。

【0048】図1（A）中、10は、絶縁表面を有する基板、11はブロッキング層となる下地絶縁膜である。

【0049】図1（A）において、基板10はガラス基板、石英基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。また、本工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0050】中でも基板10としては、安価であり、大面積の基板が供給しやすく、大量生産に向いているガラス基板が好ましい。

【0051】まず、基板上に下地絶縁膜11を形成する。下地絶縁膜11は、プラズマCVD法により得られる酸化シリコン膜、窒化シリコン膜、または酸化窒化シリコン膜（ $\text{SiO}_x\text{N}_y$ ）等から選ばれた単層または積層の絶縁膜を用いることができる。

【0052】下地絶縁膜11として代表的な一例は、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化シリコン膜を $50\sim 100\text{nm}$ 、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとし、成膜温度 $100\sim 450^{\circ}\text{C}$ として成膜される酸化窒化シリコン膜を $100\sim 150\text{nm}$ の厚さに積層形成する構造が好ましい。

【0053】次いで、下地絶縁膜11上に下地絶縁膜と

同じ成膜温度で非晶質構造を有する半導体膜12を形成する。（図1（B））下地絶縁膜と非晶質構造を有する半導体膜と同じ成膜温度、好ましくは $300^{\circ}\text{C}\sim 400^{\circ}\text{C}$ としたことでレーザー光を照射する前の段階で微小な凸部のない平坦な半導体膜表面が得られる。この段階でSEMで観察しても微小な凸部はない。

【0054】非晶質構造を有する半導体膜12は、シリコンを主成分とする半導体材料を用いる。代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマCVD法で、 $10\sim 100\text{nm}$ の厚さに形成する。

【0055】次いで、非晶質構造を有する半導体膜12を結晶化させる技術としてレーザー光の照射を行う。

（図1（C））レーザー光を照射して得られた結晶構造を有する半導体膜13の表面状態は良好であり、SEMで観測しても微小な穴は観測されない。従って、微小な穴が原因と見られる表面凹凸の大きさ、およびTFTの特性のバラツキが低減される。なお、このレーザー光には波長 $400\text{nm}$ 以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波、または連続発振またはパルス発振のYAGレーザ、YVO<sub>4</sub>レーザ、YLFレーザ、YAlO<sub>3</sub>レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライドレーザ、Ti：サファイアレーザから出射されるレーザー光を用いる。また、酸素を含む雰囲気下でレーザー照射を行った場合には半導体膜表面に薄い酸化膜（ここでは図示しない）が形成される。なお、ここでは図示しないがリッジと呼ばれる凹凸も形成される。

【0056】次いで、半導体膜13を公知のパターニング技術を用いて所望の形状の半導体層14を形成する。

（図1（D））また、レジストからなるマスクを形成する前に、オゾン水で表面に薄い酸化膜を形成することが望ましい。

【0057】次いで、半導体層の表面をフッ酸を含むエッチャントで洗浄した後、ゲート絶縁膜15となる珪素を主成分とする絶縁膜を形成する。この表面洗浄とゲート絶縁膜の形成は、大気にふれさせずに連続的に行うことが望ましい。

【0058】次いで、ゲート絶縁膜15の表面を洗浄した後、ゲート電極16を形成する。次いで、半導体にn型を付与する不純物元素（P、As等）、ここではリンを適宜添加して、ソース領域17及びドレイン領域18を形成する。添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。また、活性化と同時にゲート絶縁膜へのプラズマダメージやゲート絶縁膜と半導体層との界面へのプラズマダメージを回復することができる。特に、室温 $\sim 300^{\circ}\text{C}$ の雰囲気中において、表面または裏面からYAGレーザーの第2高調波を照射して不純物元素を活性化させることは非常に有効である。YAGレーザーはメンテナンス



スが少ないため好ましい活性化手段である。

【0059】以降の工程は、層間絶縁膜20を形成し、水素化を行って、ソース領域、ドレイン領域に達するコンタクトホールを形成し、ソース電極21、ドレイン電極22を形成してTFT（nチャンネル型TFT）を完成させる。（図1（E））なお、19はチャンネル形成領域であり、本明細書では、チャンネル形成領域19と、ドレイン領域18と、ソース領域17を少なくとも含む半導体層を活性層と呼ぶ。

【0060】また、こうして得られたTFTの半導体表面における平坦性は、上記本工程により微小な穴の発生を抑えることができ、飛躍的に向上されたため、オフ電流値が低減し、オフ電流値のバラツキも低減する。加えて、上記本工程によりTFTの信頼性も向上する。

【0061】また、本発明は図1（E）のTFT構造に限定されず、必要があればチャンネル形成領域とドレイン領域（またはソース領域）との間にLDD領域を有する低濃度ドレイン（LDD：Lightly Doped Drain）構造としてもよい。この構造はチャンネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。さらにゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるGOLD（Gate-drain Overlapped LDD）構造としてもよい。GOLD構造は、信頼性の高いTFT構造であるため、本発明を適用した場合、さらに高い信頼性を得ることができる。

【0062】また、ここではnチャンネル型TFTを用いて説明したが、n型不純物元素に代えてp型不純物元素を用いることによってpチャンネル型TFTを形成することができることは言うまでもない。

【0063】また、ここではトップゲート型TFTを例として説明したが、TFT構造に関係なく本発明を適用することが可能であり、例えばボトムゲート型（逆スタガ型）TFTや順スタガ型TFTに適用することが可能である。また、チャンネル形成領域の上方及び下方に絶縁膜を介してゲート電極を備えたデュアルゲート構造のTFTに適用することが可能である。

【0064】また、パターンニング前にレーザー光の照射を行わず、所望の形状の半導体層を形成した後に表面を洗浄して酸化膜等を除去した後、レーザー光の照射を行ってもよい。

【0065】また、ここではレーザー光での結晶化を例として説明したが、レーザー光の処理を用いる工程を有していれば、結晶化方法等に関係なく本発明は効果的であり、例えばニッケルを選択的に添加して加熱処理を行った後、レーザー光を照射する結晶化方法等に適用することが可能である。

【0066】なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電気的接続を行う

箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けが、「電極」という文言に「配線」は常に含まれているものとする。

【0067】（実施の形態2）ここでは、レーザー光を照射して半導体膜を平坦化する技術に本発明を適用した一例を図2に示す。

【0068】まず、本実施の形態は、実施の形態1と非晶質半導体膜を形成する工程までは同一であるので詳しい説明は省略する。

【0069】図2（A）中、30は、絶縁表面を有する基板、31はブロッキング層となる下地絶縁膜である。また、図2（B）中、32は非晶質構造を有する半導体膜である。下地絶縁膜と半導体膜とを同じ成膜温度で形成することで、成膜直後の段階で微小な凸部のない平坦な半導体膜表面が得られる。

【0070】実施の形態1に従って、図2（B）の状態を得たら、酸素を含む雰囲気下で半導体膜に第1のレーザー光の照射（繰り返し周波数10～100Hz、エネルギー密度400～500mJ/cm<sup>2</sup>）を行って結晶化させる。（図2（C））ここでは照射条件をエネルギー密度476mJ/cm<sup>2</sup>、繰り返し周波数30Hz、オーバーラップ率91%とし、大気雰囲気下でレーザー光の照射を行う。このレーザー光の照射後、結晶構造を有する半導体膜33aが得られ、その表面には酸化膜34が形成される。なお、ここでは図示しないがリッジと呼ばれる凹凸が形成される。

【0071】ここでは、パルス発振のレーザーを用いた例を示したが、連続発振のレーザーを用いてもよく、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd：YVO<sub>4</sub>レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発振のYVO<sub>4</sub>レーザから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO<sub>4</sub>結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。なお、照射面におけるレーザー光の形状（レーザースポット）は光学系からなるビーム形成手段により短径の長さが3～100μmとし、長径の長さが100μm以上である楕円形状であるとする。楕円形状に代えて、短辺の長さが3～100μmとし、長辺の長さが100μm以上である矩形状としてもよい。前記形状を矩形状または楕円状としたのは、基板全面を効率よくレーザアニールするためである。ここで、長径（または長辺）の長さを100μm以上としたのは、レーザアニールに適したエネルギー密度



を有するレーザ光であれば、実施者が長径（または長辺）の長さを適宜決定すればよいからである。このときのエネルギー密度は $0.01 \sim 100 \text{ MW/cm}^2$ 程度（好ましくは $0.1 \sim 10 \text{ MW/cm}^2$ ）が必要である。そして、 $10 \sim 2000 \text{ cm/s}$ 程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

【0072】次いで、酸化膜34を除去する。（図2（D））

【0073】次いで、結晶構造を有する半導体膜33aに対してレーザ光（第2のレーザ光）を窒素雰囲気または真空中で照射する。第2のレーザ光のエネルギー密度は、第1のレーザ光のエネルギー密度より大きくし、好ましくは $30 \sim 60 \text{ mJ/cm}^2$ 大きくする。ただし、第2のレーザ光のエネルギー密度が第1のレーザ光のエネルギー密度よりも $90 \text{ mJ/cm}^2$ 以上大きいエネルギー密度だと、結晶性の低下、或いは微結晶化してしまい、特性が悪化する。ここでは、照射条件をエネルギー密度 $537 \text{ mJ/cm}^2$ 、繰り返し周波数 $30 \text{ Hz}$ とし、窒素雰囲気中でレーザ光の照射を行う。窒素雰囲気または真空中でレーザ光を照射した場合には、半導体膜に微小な穴が形成されやすかったが、下地絶縁膜と半導体膜を同じ成膜温度で形成したことによって、微小な穴の発生を抑えることができる。従って、この微小な穴が原因と見られる表面凹凸の大きさ、およびTFTの特性のバラツキを低減することができる。さらに、この第2のレーザ光により、第1のレーザ光の照射で形成されたリッジの大きさが低減されて平坦化する。

【0074】また、第2のレーザ光として、連続発振のレーザを用いてもよく、代表的には、Nd:YVO<sub>4</sub>レーザ（基本波 $1064 \text{ nm}$ ）の第2高調波（ $532 \text{ nm}$ ）や第3高調波（ $355 \text{ nm}$ ）を適用すればよい。

【0075】こうして得られた結晶構造を有する半導体膜33bの表面は非常に平坦である。また、平坦性が向上したことによって、後に形成されるゲート絶縁膜を薄くすることが可能となり、TFTのオン電流値を向上させることができる。また、平坦性が向上したことによって、TFTを作製した場合、オフ電流を低減することができ、さらにTFTの信頼性をも向上する。

【0076】次いで、半導体膜を公知のパターニング技術を用いて所望の形状の半導体層35を形成する。（図2（F））

【0077】以降の工程は、実施の形態1と同一の工程によりTFTを完成させる。（図2（G））

【0078】図2（G）において、36はゲート絶縁膜、37はゲート電極、38はソース領域、39はドレイン領域、40はチャネル形成領域、41は層間絶縁膜、42はソース電極、43はドレイン電極である。

【0079】また、パターニング前に第2のレーザ光の照射を行わず、所望の形状の半導体層を形成した後に

表面を洗浄して酸化膜等を除去した後、不活性気体雰囲気または真空中で第2のレーザ光の照射を行って平坦化してもよい。

【0080】また、第2のレーザ光照射の際、被照射領域付近に窒素ガスを吹付けてもよい。

【0081】（実施の形態3）ここでは、シリコンの結晶化を助長する金属元素を添加した後、加熱処理を行って結晶化を行い、さらにレーザ光を照射した後、酸化膜を除去して再度レーザ光を照射して半導体膜を平坦化した後、金属元素を除去するゲッタリングを行う技術に本発明を適用した一例を図3および図4に示す。

【0082】まず、本実施の形態は、実施の形態1と非晶質半導体膜を形成する工程までは同一であるので詳しい説明は省略する。

【0083】図3（A）中、50は、絶縁表面を有する基板、51はブロッキング層となる下地絶縁膜である。また、図3（B）中、52は非晶質構造を有する半導体膜である。下地絶縁膜と半導体膜とを同じ成膜温度で形成することで、成膜直後の段階で微小な凸部のない平坦な半導体膜表面が得られる。

【0084】実施の形態1に従って、図3（B）の状態を得たら、非晶質構造を有する第1の半導体膜52を結晶化させる技術としてここでは特開平8-78329号公報記載の技術を用いて結晶化させる。同公報記載の技術は、非晶質シリコン膜（アモルファスシリコン膜とも呼ばれる）に対して結晶化を助長する金属元素を選択的に添加し、加熱処理を行うことで添加領域を起点として広がる結晶構造を有する半導体膜を形成するものである。まず、非晶質構造を有する第1の半導体膜52の表面に、結晶化を促進する触媒作用のある金属元素（ここでは、ニッケル）を重量換算で $1 \sim 100 \text{ ppm}$ 含む酢酸ニッケル塩溶液をスピナーで塗布してニッケル含有層53を形成する。（図3（C））塗布によるニッケル含有層53の形成方法以外の他の手段として、スパッタ法、蒸着法、またはプラズマ処理により極薄い膜を形成する手段を用いてもよい。また、ここでは、全面に塗布する例を示したが、マスクを形成して選択的にニッケル含有層を形成してもよい。

【0085】次いで、加熱処理を行い、結晶化を行う。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。こうして、図3（D）に示す結晶構造を有する第1の半導体膜54aが形成される。なお、結晶化後での第1の半導体膜54aに含まれる酸素濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以下とすることが望ましい。ここでは、脱水素化のための熱処理（ $450^\circ\text{C}$ 、1時間）の後、結晶化のための熱処理（ $550^\circ\text{C} \sim 650^\circ\text{C}$ で $4 \sim 24$ 時間）を行う。また、強光の照射により結晶化を行う場合は、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いること

が可能であるが、代表的には、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いる。ランプ光源は、1～60秒、好ましくは30～60秒点灯させ、それを1回～10回繰り返す、半導体膜が瞬間的に600～1000℃程度にまで加熱すればよい。なお、必要であれば、強光を照射する前に非晶質構造を有する第1の半導体膜52に含有する水素を放出させる熱処理を行ってもよい。また、熱処理と強光の照射とを同時に行って結晶化を行ってもよい。生産性を考慮すると、結晶化は強光の照射により結晶化を行うことが望ましい。

【0086】このようにして得られる第1の半導体膜54aには、金属元素（ここではニッケル）が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19} / \text{cm}^3$ を越える濃度で残存している。勿論、このような状態でもTFTをはじめ各種半導体素子を形成することが可能であるが、以降に示す方法で当該元素を除去する。

【0087】次いで、結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するために、結晶構造を有する第1の半導体膜54aに対してレーザー光（第1のレーザー光）を大気または酸素雰囲気中で照射する。レーザー光（第1のレーザー光）を照射した場合、表面に凹凸が形成されるとともに薄い酸化膜55が形成される。（図3（E））このレーザー光（第1のレーザー光）には波長400nm以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波、や連続発振のNd:YVO<sub>4</sub>レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。

【0088】次いで、第1のレーザー光の照射により形成された酸化膜55を除去する。（図3（F））

【0089】次いで、結晶構造を有する第1の半導体膜に対してレーザー光（第2のレーザー光）を窒素雰囲気または真空中で照射する。窒素雰囲気または真空中でレーザー光を照射した場合には、半導体膜に微小な穴が形成されやすかったが、下地絶縁膜と半導体膜を同じ成膜温度で形成したことによって、微小な穴の発生を抑えることができる。従って、この微小な穴が原因と見られる表面凹凸の大きさ、およびTFTの特性のパラツキを低減することができる。また、レーザー光（第2のレーザー光）を照射した場合、第1のレーザー光の照射により形成されたリッジが低減、即ち、平坦化される。（図3（G））

【0090】次いで、オゾン含有水溶液（代表的にはオゾン水）で酸化膜（ケミカルオキシドと呼ばれる）を形成して1～10nmの酸化膜からなるバリア層56を形成し、このバリア層56上に希ガス元素を含む第2の半導体膜57を形成する。（図4（A））

【0091】また、他のバリア層56の形成方法としては、酸素雰囲気下の紫外線の照射でオゾンを発生させて前記結晶構造を有する半導体膜の表面を酸化して形成してもよい。また、他のバリア層56の形成方法としては、プラズマCVD法やスパッタ法や蒸着法などで1～10nm程度の酸化膜を堆積してバリア層としても良い。また、他のバリア層56の形成方法としては、クリーンオープンを用い、200～350℃程度に加熱して薄い酸化膜を形成しても良い。なお、バリア層56は上記方法のいずれか一の方法、またはそれらの方法を組み合わせ形成されたものであれば特に限定されないが、後のゲッタリングで第1の半導体膜中のニッケルが第2の半導体膜に移動可能な膜質または膜厚とすることが必要である。

【0092】ここでは、希ガス元素を含む第2の半導体膜57をスパッタ法にて形成し、ゲッタリングサイトを形成する。希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。中でも安価なガスであるアルゴン（Ar）が好ましい。ここでは希ガス元素を含む雰囲気中でシリコンからなるターゲットを用い、第2の半導体膜を形成する。膜中に不活性気体である希ガス元素イオンを含有させる意味は二つある。一つはダングリングボンドを形成し半導体膜に歪みを与えることであり、他の一つは半導体膜の格子間に歪みを与えることである。半導体膜の格子間に歪みを与えるにはアルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）などシリコンより原子半径の大きな元素を用いた時に顕著に得られる。また、膜中に希ガス元素を含有させることにより、格子歪だけでなく、不對結合手も形成させてゲッタリング作用に寄与する。

【0093】次いで、加熱処理を行い、第1の半導体膜中における金属元素（ニッケル）の濃度を低減、あるいは除去するゲッタリングを行う。（図4（B））ゲッタリングを行う加熱処理としては、強光を照射する処理または熱処理を行えばよい。このゲッタリングにより、図4（B）中の矢印の方向（即ち、基板側から第2の半導体膜表面に向かう方向）に金属元素が移動し、バリア層56で覆われた第1の半導体膜54dに含まれる金属元素の除去、または金属元素の濃度の低減が行われる。金属元素がゲッタリングの際に移動する距離は、少なくとも第1の半導体膜の厚さ程度の距離であればよく、比較的短時間でゲッタリングを完遂することができる。ここでは、ニッケルが第1の半導体膜54dに偏析しないよう第2の半導体膜57に移動させ、第1の半導体膜54dに含まれるニッケルがほとんど存在しない、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下になるように十分ゲッタリングする。

【0094】また、上記ゲッタリングの際、レーザー光

の照射（第1のレーザー光及び第2のレーザー光）によるダメージを修復することが同時に行われる。

【0095】次いで、バリア層56をエッチングストッパーとして、57で示した第2の半導体膜のみを選択的に除去した後、バリア層56を除去し、第1の半導体膜54dを公知のパターニング技術を用いて所望の形状の半導体層58を形成する。

【0096】以降の工程は、実施の形態1と同一の工程によりTFTを完成させる。（図4（E））

【0097】図4（E）において、59はゲート絶縁膜、60はゲート電極、61はソース領域、62はドレイン領域、63はチャネル形成領域、64は層間絶縁膜、65はソース電極、66はドレイン電極である。

【0098】また、本実施の形態は実施の形態1と組み合わせることが可能である。また、他の公知のゲッタリング技術と組み合わせることが可能である。

【0099】また、本実施の形態では、ゲッタリングの前に第2のレーザー光の照射を行う例を示したが、第1のレーザー光の照射の後にバリア層、希ガスを含む半導体膜を形成して加熱処理を行ってゲッタリングを行った後、希ガス元素を含む半導体膜及びバリア層を除去し、不活性気体雰囲気または真空中で第2のレーザー光を行う工程としてもよい。

【0100】また、ゲッタリング前に第2のレーザー光の照射を行わず、所望の形状の半導体層を形成した後には洗浄して酸化膜等を除去した後、不活性気体雰囲気または真空中で第2のレーザー光の照射を行って平坦化してもよい。

【0101】また、第2のレーザー光照射の際、被照射領域付近に窒素ガスを吹付けてもよい。

【0102】（実施の形態4）ここでは、実施の形態2または実施の形態3におけるレーザー光による平坦化の際、スループットを向上させる一例を示す。

【0103】実施の形態2または実施の形態3では2回のレーザー光の照射を行うため、スループットが低下してしまう。そこで、本実施の形態においては、パルス発振のレーザーの場合、第2のレーザー光のショット数、即ちオーバーラップ率を第1のレーザー光よりも少ないものとする。

【0104】具体的には、第1のレーザー光のオーバーラップ率を90%以上、好ましくは95～98%とし、第2のレーザー光のオーバーラップ率を60～90%、好ましくは70～85%とする。第2のレーザー光のオーバーラップ率は、第1のレーザー光のオーバーラップ率より小さくとも十分に平坦化させることができる。

【0105】従って、第2のレーザー光のオーバーラップ率を少ないものとすることができるため、スループットが格段に向上する。また、第2のレーザー光の照射を行うため、第1のレーザー光のオーバーラップ率を下げることもできる。

【0106】なお、本実施の形態は実施の形態1または実施の形態2に適用することが可能である。

【0107】以上の構成でなる本発明について、以下に示す実施例をもってさらに詳細な説明を行うこととする。

【0108】（実施例）

【実施例1】本発明の実施例を図5～図7を用いて説明する。ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に説明する。

【0109】まず、基板100上に下地絶縁膜101を形成し、結晶構造を有する第1の半導体膜を得た後、所望の形状にエッチング処理して島状に分離された半導体層102～106を形成する。

【0110】基板100としては、ガラス基板（#1737）を用い、下地絶縁膜101としては、プラズマCVD法で成膜温度400℃、原料ガスSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜101a（組成比Si=32%、O=27%、N=24%、H=17%）を50nm（好ましくは10～200nm）形成する。次いで、表面をオゾン水で洗浄した後、表面の酸化膜を希フッ酸（1/100希釈）で除去する。次いでプラズマCVD法で成膜温度400℃、原料ガスSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜101b（組成比Si=32%、O=59%、N=7%、H=2%）を100nm（好ましくは50～200nm）の厚さに積層形成し、さらに大気解放せずにプラズマCVD法で成膜温度300℃、成膜ガスSiH<sub>4</sub>で非晶質構造を有する半導体膜（ここではアモルファスシリコン膜）を54nmの厚さ（好ましくは25～80nm）で形成する。

【0111】本実施例では下地膜101を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。また、半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（Si<sub>1-x</sub>Ge<sub>x</sub>（X=0.0001～0.02））合金などを用い、公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により形成すればよい。また、プラズマCVD装置は、枚葉式の装置でもよいし、バッチ式の装置でもよい。また、同一の成膜室で大気に触れることなく下地絶縁膜と半導体膜とを連続成膜してもよい。

【0112】次いで、非晶質構造を有する半導体膜の表面を洗浄した後、オゾン水で表面に約2nmの極薄い酸化膜を形成する。次いで、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行う。ここでは、ジボラン（B<sub>2</sub>H<sub>6</sub>）を質量分離しないでプラズマ励起したイオンドーピング法を用い、ドーピング条件を加速電圧15kV、ジボランを水素で1%

に希釈したガス流量 $30\text{ sccm}$ 、ドーズ量 $2 \times 10^{12} / \text{cm}^2$ で非晶質シリコン膜にボロンを添加した。

【0113】次いで、重量換算で $10\text{ ppm}$ のニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布する。塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。

【0114】次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜を形成する。この加熱処理は、電気炉の熱処理または強光の照射を用いればよい。電気炉の熱処理で行う場合は、 $500^\circ\text{C} \sim 650^\circ\text{C}$ で $4 \sim 24$ 時間で行えばよい。ここでは脱水素化のための熱処理

( $500^\circ\text{C}$ 、1時間)の後、結晶化のための熱処理( $550^\circ\text{C}$ 、4時間)を行って結晶構造を有するシリコン膜を得る。なお、ここでは炉を用いた熱処理を用いて結晶化を行ったが、ランプアニール装置で結晶化を行ってもよい。なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いた結晶化技術を用いたが、他の公知の結晶化技術、例えば固相成長法やレーザー結晶化法を用いてもよい。

【0115】次いで、結晶構造を有するシリコン膜表面の酸化膜を希フッ酸等で除去した後、結晶化率を高め、結晶粒内に残される欠陥を補修するための第1のレーザー光(XeCl:波長 $308\text{ nm}$ )の照射を大気中、または酸素雰囲気中で行う。レーザー光には波長 $400\text{ nm}$ 以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波を用いる。いずれにしても、繰り返し周波数 $10 \sim 1000\text{ Hz}$ 程度のパルスレーザー光を用い、当該レーザー光を光学系にて $100 \sim 500\text{ mJ/cm}^2$ に集光し、 $90 \sim 95\%$ のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。ここでは、繰り返し周波数 $30\text{ Hz}$ 、エネルギー密度 $393\text{ mJ/cm}^2$ で第1のレーザー光の照射を大気中で行なう。なお、大気中、または酸素雰囲気中で行うため、第1のレーザー光の照射により表面に酸化膜が形成される。

【0116】なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いた熱結晶化を行った後にレーザー光を照射する技術を用いたが、ニッケルを添加することなく、連続発振のレーザー(YVO<sub>4</sub>レーザーの第2高調波)でアモルファスシリコン膜を結晶化させてもよい。

【0117】次いで、第1のレーザー光の照射により形成された酸化膜を希フッ酸で除去した後、第2のレーザー光の照射を窒素雰囲気、或いは真空中で行い、半導体膜表面を平坦化する。このレーザー光(第2のレーザー光)には波長 $400\text{ nm}$ 以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波を用いる。第2のレーザー光のエネルギー密度は、第1のレーザー光のエネルギー密度より大きくし、好ましくは $30 \sim 60\text{ mJ/cm}^2$ 大きくする。ここでは、繰り返し周波数 $30\text{ Hz}$ 、エネルギー密度 $453\text{ mJ/cm}^2$ で第2のレーザー光

の照射を行ない、半導体膜表面における凹凸のP-V値を $5\text{ nm}$ 以下とする。第2のレーザー光を照射した場合、第1のレーザー光の照射により形成された凹凸の高低差(P-V値:Peak to Valley、高さの最大値と最小値の差分)が低減、即ち、平坦化される。ここで、凹凸のP-V値は、AFM(原子間力顕微鏡)により観察すればよい。AFMは、表面粗さを示す他の指標として、中心線平均粗さ(Ra)や2乗平均平方根粗さ(Rms)や十点平均面粗さ(Rz)や平均傾斜角( $\Delta a$ )も測定することが可能である。

【0118】上記第2のレーザー光の照射は、結晶性を高める第1のレーザー光の照射におけるエネルギー密度より $30\text{ mJ/cm}^2 \sim 60\text{ mJ/cm}^2$ 高いエネルギー密度( $430 \sim 560\text{ mJ/cm}^2$ )とすると、照射前と比較して平坦性が格段に向上する。例えば、照射前と比較して表面粗さ(P-V値、Ra、Rms)が $1/2$ 以下、若しくは $1/3$ 以下にまで低減される。比較実験を行ったところ、第1のレーザー光よりも $60\text{ mJ/cm}^2$ 高いエネルギー密度とした第2のレーザー光を照射した半導体膜の表面が最も平坦なものとなった。

【0119】また、本実施例では第2のレーザー光の照射を全面に行ったが、オフ電流の低減は、画素部のTFTに特に効果があるため、少なくとも画素部のみに選択的に照射する工程としてもよい。

【0120】次いで、オゾン水で表面を $120$ 秒処理して合計 $1 \sim 5\text{ nm}$ の酸化膜からなるバリア層を形成する。

【0121】次いで、バリア層上にスパッタ法にてゲッタリングサイトとなるアルゴン元素を含む非晶質シリコン膜を膜厚 $150\text{ nm}$ で形成する。本実施例のスパッタ法による成膜条件は、成膜圧力を $0.3\text{ Pa}$ とし、ガス(Ar)流量を $50\text{ (sccm)}$ とし、成膜パワーを $3\text{ kW}$ とし、基板温度を $150^\circ\text{C}$ とする。なお、上記条件での非晶質シリコン膜に含まれるアルゴン元素の原子濃度は、 $3 \times 10^{20} / \text{cm}^3 \sim 6 \times 10^{20} / \text{cm}^3$ 、酸素の原子濃度は $1 \times 10^{19} / \text{cm}^3 \sim 3 \times 10^{19} / \text{cm}^3$ である。その後、ランプアニール装置を用いて $650^\circ\text{C}$ 、3分の熱処理を行いゲッタリングする。

【0122】次いで、バリア層をエッチングストッパーとして、ゲッタリングサイトであるアルゴン元素を含む非晶質シリコン膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。

【0123】次いで、得られた結晶構造を有するシリコン膜(ポリシリコン膜とも呼ばれる)の表面にオゾン水で薄い酸化膜を形成した後、レジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された半導体層 $102 \sim 106$ を形成する。半導体層を形

成した後、レジストからなるマスクを除去する。

【0124】次いで、フッ酸を含むエッチャントで酸化膜を除去すると同時にシリコン膜の表面を洗浄した後、ゲート絶縁膜107となる珪素を主成分とする絶縁膜を形成する。本実施例では、プラズマCVD法により115nmの厚さで酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成する。

【0125】次いで、図5（A）に示すように、ゲート絶縁膜107上に膜厚20～100nmの第1の導電膜108aと、膜厚100～400nmの第2の導電膜108bとを積層形成する。本実施例では、ゲート絶縁膜107上に膜厚50nmの窒化タンタル膜、膜厚370nmのタングステン膜を順次積層する。

【0126】第1の導電膜及び第2の導電膜を形成する導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、第1の導電膜及び第2の導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、2層構造に限定されず、例えば、膜厚50nmのタングステン膜、膜厚500nmのアルミニウムとシリコンの合金（Al-Si）膜、膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタングステンに代えて窒化タングステンをを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金（Al-Si）膜に代えてアルミニウムとチタンの合金膜（Al-Ti）を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。また、単層構造であってもよい。

【0127】次に、図5（B）に示すように光露光工程によりレジストからなるマスク110～115を形成し、ゲート電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。エッチングにはICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節することによって所望のテーパ形状に膜をエッチングすることができる。なお、エッチング用ガスとしては、 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{CCl}_4$ などを代表とする塩素系ガスまたは $\text{CF}_4$ 、 $\text{SF}_6$ 、 $\text{NF}_3$ などを代表とするフッ素系ガス、または $\text{O}_2$ を適宜用いることができる。

【0128】本実施例では、基板側（試料ステージ）にも150WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに

対するエッチング速度は200.39nm/min、Ta-Nに対するエッチング速度は80.32nm/minであり、Ta-Nに対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。この後、レジストからなるマスク110～115を除去せずに第2のエッチング条件に変え、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ とを用い、それぞれのガス流量比を30/30（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$ と $\text{Cl}_2$ を混合した第2のエッチング条件ではW膜及びTa-N膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、Ta-Nに対するエッチング速度は66.43nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。

【0129】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15～45°とすればよい。

【0130】こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層117～121（第1の導電層117a～121aと第2の導電層117b～121b）を形成する。ゲート絶縁膜となる絶縁膜107は、10～20nm程度エッチングされ、第1の形状の導電層117～121で覆われない領域が薄くなったゲート絶縁膜116となる。

【0131】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスに $\text{SF}_6$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、それぞれのガス流量比を24/12/24（sccm）とし、1.3Paの圧力でコイル型の電極に700WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを25秒行った。基板側（試料ステージ）にも10WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は227.3nm/min、Ta-Nに対するエッチング速度は32.1nm/minであり、Ta-Nに対するWの選択比は7.1であり、絶縁膜116であるSiONに対するエッチング速度は33.7nm/minであり、SiONに対するWの選択比は6.83である。このようにエッチングガス用ガスに $\text{SF}_6$ を用いた場合、絶縁膜116との選択比が高いので膜減りを抑えることができる。本実施例では絶縁膜116において約8nmしか膜減りが起きない。

【0132】この第2のエッチング処理によりWのテーパ角は $70^\circ$ となった。この第2のエッチング処理により第2の導電層124b~129bを形成する。一方、第1の導電層は、ほとんどエッチングされず、第1の導電層124a~129aとなる。なお、第1の導電層124a~129aは、第1の導電層117a~122aとほぼ同一サイズである。実際には、第1の導電層の幅は、第2のエッチング処理前に比べて約 $0.3\mu\text{m}$ 程度、即ち線幅全体で $0.6\mu\text{m}$ 程度後退する場合もあるがほとんどサイズに変化がない。

【0133】また、2層構造に代えて、膜厚 $50\text{nm}$ のタンガステン膜、膜厚 $500\text{nm}$ のアルミニウムとシリコンの合金( $\text{Al-Si}$ )膜、膜厚 $30\text{nm}$ の窒化チタン膜を順次積層した3層構造とした場合、第1のエッチング処理の第1のエッチング条件としては、 $\text{BCl}_3$ と $\text{Cl}_2$ と $\text{O}_2$ とを原料ガスに用い、それぞれのガス流量比を $65/10/5$ (sccm)とし、基板側(試料ステージ)に $300\text{W}$ のRF( $13.56\text{MHz}$ )電力を投入し、 $1.2\text{Pa}$ の圧力でコイル型の電極に $450\text{W}$ のRF( $13.56\text{MHz}$ )電力を投入してプラズマを生成して117秒のエッチングを行えばよく、第1のエッチング処理の第2のエッチング条件としては、 $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、それぞれのガス流量比を $25/25/10$ (sccm)とし、基板側(試料ステージ)にも $20\text{W}$ のRF( $13.56\text{MHz}$ )電力を投入し、 $1\text{Pa}$ の圧力でコイル型の電極に $500\text{W}$ のRF( $13.56\text{MHz}$ )電力を投入してプラズマを生成して約30秒程度のエッチングを行えばよく、第2のエッチング処理としては $\text{BCl}_3$ と $\text{Cl}_2$ を用い、それぞれのガス流量比を $20/60$ (sccm)とし、基板側(試料ステージ)には $100\text{W}$ のRF( $13.56\text{MHz}$ )電力を投入し、 $1.2\text{Pa}$ の圧力でコイル型の電極に $600\text{W}$ のRF( $13.56\text{MHz}$ )電力を投入してプラズマを生成してエッチングを行えばよい。

【0134】次いで、レジストからなるマスクを除去した後、第1のドーピング処理を行って図5(D)の状態を得る。ドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を $1.5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{ keV}$ として行う。n型を付与する不純物元素として、典型的にはリン(P)または砒素(As)を用いる。この場合、第1の導電層及び第2の導電層124~128がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域130~134が形成される。第1の不純物領域130~134には $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。ここでは、第1の不純物領域と同じ濃度範囲の領域をn領域とも呼ぶ。

【0135】なお、本実施例ではレジストからなるマスクを除去した後、第1のドーピング処理を行ったが、レ

ジストからなるマスクを除去せずに第1のドーピング処理を行ってもよい。

【0136】次いで、図6(A)に示すようにレジストからなるマスク135~137を形成し第2のドーピング処理を行う。マスク135は駆動回路のpチャネル型TFTを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクであり、マスク136は駆動回路のnチャネル型TFTの一つを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクであり、マスク137は画素部のTFTを形成する半導体層のチャネル形成領域及びその周辺の領域と保持容量となる領域とを保護するマスクである。

【0137】第2のドーピング処理におけるイオンドープ法の条件はドーピング量を $1.5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{ keV}$ としてリン(P)をドーピングする。ここでは、第2の導電層124b~126bをマスクとして各半導体層に不純物領域が自己整合的に形成される。勿論、マスク135~137で覆われた領域には添加されない。こうして、第2の不純物領域138~140と、第3の不純物領域142が形成される。第2の不純物領域138~140には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加されている。ここでは、第2の不純物領域と同じ濃度範囲の領域をn領域とも呼ぶ。

【0138】また、第3の不純物領域は第1の導電層により第2の不純物領域よりも低濃度に形成され、 $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度範囲でn型を付与する不純物元素を添加されることになる。なお、第3の不純物領域は、テーパ形状である第1の導電層の部分を通してドーピングを行うため、テーパ部の端部に向かって不純物濃度が増加する濃度勾配を有している。ここでは、第3の不純物領域と同じ濃度範囲の領域をn領域とも呼ぶ。また、マスク136、137で覆われた領域は、第2のドーピング処理で不純物元素が添加されず、第1の不純物領域144、145となる。

【0139】次いで、レジストからなるマスク135~137を除去した後、新たにレジストからなるマスク146~148を形成して図6(B)に示すように第3のドーピング処理を行う。

【0140】駆動回路において、上記第3のドーピング処理により、pチャネル型TFTを形成する半導体層および保持容量を形成する半導体層にp型の導電型を付与する不純物元素が添加された第4の不純物領域149、150及び第5の不純物領域151、152を形成する。

【0141】また、第4の不純物領域149、150には $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度範囲でp型を付与する不純物元素が添加されるようにする。尚、第4の不純物領域149、150には先の工程でリン(P)が添加された領域(n領域)であるが、p型を付与する不



純物元素の濃度がその $1.5 \sim 3$ 倍添加されていて導電型はp型となっている。ここでは、第4の不純物領域と同じ濃度範囲の領域をp領域とも呼ぶ。

【0142】また、第5の不純物領域151、152は第2の導電層125aのテーパ部と重なる領域に形成されるものであり、 $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲でp型を付与する不純物元素が添加されるようにする。ここでは、第5の不純物領域と同じ濃度範囲の領域をp領域とも呼ぶ。

【0143】以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。導電層124～127はTFTのゲート電極となる。また、導電層128は画素部において保持容量を形成する一方の電極となる。さらに、導電層129は画素部においてソース配線を形成する。

【0144】次いで、ほぼ全面を覆う絶縁膜（図示しない）を形成する。本実施例では、プラズマCVD法により膜厚50nmの酸化シリコン膜を形成した。勿論、この絶縁膜は酸化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0145】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラピッドサーマルアニール法（RTA法）、或いはYAGレーザーまたはエキシマレーザーを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法のうち、いずれかと組み合わせた方法によって行う。

【0146】また、本実施例では、上記活性化の前に絶縁膜を形成した例を示したが、上記活性化を行った後、絶縁膜を形成する工程としてもよい。

【0147】次いで、窒化シリコン膜からなる第1の層間絶縁膜153を形成して熱処理（300～550℃で1～12時間の熱処理）を行い、半導体層を水素化する工程を行う。（図6（C））この工程は第1の層間絶縁膜153に含まれる水素により半導体層のダングリングボンドを終端する工程である。酸化シリコン膜からなる絶縁膜（図示しない）の存在に関係なく半導体層を水素化することができる。ただし、本実施例では、第2の導電層としてアルミニウムを主成分とする材料を用いているので、水素化する工程において第2の導電層が耐え得る熱処理条件とすることが重要である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0148】次いで、第1の層間絶縁膜153上に有機絶縁物材料から成る第2の層間絶縁膜154を形成する。本実施例では膜厚 $1.6 \mu\text{m}$ のアクリル樹脂膜を形成する。次いで、ソース配線129に達するコンタクトホールと、導電層127、128に達するコンタクトホールと、各不純物領域に達するコンタクトホールを形成

する。本実施例では複数のエッチング処理を順次行う。本実施例では第1の層間絶縁膜をエッチングストッパーとして第2の層間絶縁膜をエッチングした後、絶縁膜（図示しない）をエッチングストッパーとして第1の層間絶縁膜をエッチングしてから絶縁膜（図示しない）をエッチングした。

【0149】その後、Al、Ti、Mo、Wなどを用いて配線及び画素電極を形成する。これらの電極及び画素電極の材料は、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。こうして、ソース電極またはドレイン電極155～160、ゲート配線162、接続配線161、画素電極163が形成される。

【0150】以上の様にして、nチャネル型TFT201、pチャネル型TFT202、nチャネル型TFT203を有する駆動回路206と、nチャネル型TFTからなる画素TFT204、保持容量205とを有する画素部207を同一基板上に形成することができる。（図7）本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0151】また、この段階におけるゲート電極近傍の断面TEM観察写真図を図8に示す。図8に示したように第2のレーザー光によって半導体膜表面は平坦となっている。半導体膜が平坦となったことでその上のゲート絶縁膜、ゲート電極のテーパ部にも半導体膜表面における凸凹の影響はほとんど見られない。

【0152】画素部207において、画素TFT204（nチャネル型TFT）にはチャネル形成領域167、ゲート電極を形成する導電層127の外側に形成される第1の不純物領域（n領域）145とソース領域として機能する第2の不純物領域（n領域）140を有している。また、保持容量205の一方の電極として機能する半導体層には第4の不純物領域150、第5の不純物領域152が形成されている。保持容量205は、絶縁膜（ゲート絶縁膜と同一膜）116を誘電体として、第2の電極128と、半導体層150、152、168とで形成されている。

【0153】また、駆動回路206において、nチャネル型TFT201（第1のnチャネル型TFT）はチャネル形成領域164、ゲート電極を形成する導電層124の一部と絶縁膜を介して重なる第3の不純物領域（n領域）142とソース領域またはドレイン領域として機能する第2の不純物領域（n領域）138を有している。

【0154】また、駆動回路206において、pチャネル型TFT202にはチャネル形成領域165、ゲート電極を形成する導電層125の一部と絶縁膜を介して重なる第5不純物領域（p領域）151とソース領域またはドレイン領域として機能する第4の不純物領域（p



領域) 149を有している。

【0155】また、駆動回路206において、nチャネル型TFT203(第2のnチャネル型TFT)にはチャネル形成領域166、ゲート電極を形成する導電層126の外側に第1の不純物領域(n<sup>-</sup>領域)144とソース領域またはドレイン領域として機能する第2の不純物領域(n<sup>-</sup>領域)139を有している。

【0156】これらのTFT201~203を適宜組み合わせさせてシフトレジスタ回路、バッファ回路、レベルシフト回路、ラッチ回路などを形成し、駆動回路206を形成すればよい。例えば、CMOS回路を形成する場合には、nチャネル型TFT201とpチャネル型TFT202を相補的に接続して形成すればよい。

【0157】特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、nチャネル型TFT203の構造が適している。

【0158】また、信頼性が最優先とされる回路には、GOLD構造であるnチャネル型TFT201の構造が適している。

【0159】また、本実施例により得られるnチャネル型TFT201の電気特性を測定し、信頼性を検証した。ここでは、信頼性の指標となるオン電流値の変動(劣化率とも呼ぶ)を求める。なお、オン電流値は、ドレイン電圧 $V_d = 1V$ 、ゲート電圧 $V_g = 10V$ として測定を行った値とする。

【0160】まず、トランジェントストレスによるnチャネル型TFT201の特性変動を導出するため、トランジェントストレスをかける前のオン電流値( $I_{on0}$ )を測定した後、ドレイン電圧 $V_d = +2.5V$ 、ゲート電圧 $V_g = 1V$ 、 $1.5V$ 、 $2V$ 、 $2.5V$ 、 $3V$ 、 $3.5V$ 、 $4V$ 、 $4.5V$ とし、それぞれ室温で100秒放置するトランジェントストレスをかけ、その後、再度オン電流値を測定し、トランジェントストレス前後でのオン特性変動( $\Delta I_{on}/I_{on0}$ )を図9中に示した。トランジェントストレスとは、TFTのドレイン電圧をある値に設定し、ゲート電圧をある時間固定した時のストレスを指している。なお、TFTのチャネル形成領域のサイズは(チャネル長 $L$ /チャネル幅 $W = 10\mu m/8\mu m$ )とし、ゲート電極とゲート絶縁膜(膜厚 $115nm$ )を介して重なる第3の不純物領域142におけるチャネル長方向の幅が $1.1\mu m$ であるTFTを測定した。

【0161】比較例として本実施例の工程において第2のレーザー照射を行わず、第1のレーザー照射のみしか行わなかった工程で作製したTFTを用いた。

【0162】比較例と比べて本実施例のほうがオン電流値の変動(劣化率)が小さいことから、第2のレーザー照射を行って半導体膜の表面を平坦にしたほうがTFTの信頼性が高いことが示された。

【0163】また、さらにゲート絶縁膜の膜厚を変化さ

せて同様の比較を行った。ゲート絶縁膜の膜厚を $80nm$ とした時は、ドレイン電圧 $V_d = +1.6V$ とし、ゲート電圧 $V_g = 1 \sim 4.5V$ とし、それぞれ室温で100秒放置した後のオン特性変動( $\Delta I_{on}/I_{on0}$ )を図10中に示した。また、ゲート絶縁膜の膜厚を $60nm$ とした時は、ドレイン電圧 $V_d = +2.0V$ とし、ゲート電圧 $V_g = 1 \sim 4.5V$ とし、それぞれ室温で100秒放置した後のオン特性変動( $\Delta I_{on}/I_{on0}$ )を図11中に示した。

【0164】以上のことから、半導体膜表面の平坦化を向上させることによって信頼性を向上させることができるので、GOLD構造のTFTにおいて、ゲート電極とゲート絶縁膜を介して重なる不純物領域の面積を縮小しても十分な信頼性を得ることができる。具体的にはGOLD構造のTFTにおいてゲート電極のテーパー部となる部分サイズを小さくしても十分な信頼性を得ることができる。

【0165】また、 $V_d = 5V$ 、 $V_g = -4.5V$ とし、オフ電流値の確率統計分布を測定した結果を図12~図15に示す。なお、図中、本実施例における確率統計分布を×印でプロットし、第1のレーザー光の照射のみを行った比較例における確率統計分布を○印でプロットした。図12~図15の縦軸はパーセントを示しており、50%の値がオフ電流の平均値に相当する。また、横軸はオフ電流値を示しており、例えばバラツキが大きければ全プロットの占める領域、即ち横幅が大きくなる。第2のレーザー光で平坦化を行った場合、ゲート絶縁膜の膜厚が薄ければ薄いほどオフ電流値のバラツキ低減が顕著に現れている。また、第2のレーザー光で平坦化を行った場合、図12~図14のチャネル長 $L$ /チャネル幅 $W = 2\mu m/8\mu m$ としたTFTよりも図15に示した $L/W = 7\mu m/40\mu m$ としたTFTのほうがオフ電流値のバラツキ低減が顕著に現れている。従って、第2のレーザー光で平坦化を行った場合、比較的チャネル幅の大きいTFT、例えばバッファ回路に用いられるTFT( $L/W = 7\mu m/140\mu m$ 、 $7\mu m/270\mu m$ 、 $7\mu m/400\mu m$ 、 $7\mu m/800\mu m$ 等)やアナログスイッチ回路に用いられるTFT( $L/W = 8\mu m/400\mu m$ )において効果的にバラツキを抑えることができる。

【0166】これらのことから、半導体膜表面の平坦化を向上させることによってゲート絶縁膜の膜厚を薄くしても、オフ電流のバラツキが低減され、TFTの歩留まりが向上される。GOLD構造のTFTにおいてはゲート絶縁膜が薄くなると寄生容量が増加するが、ゲート電極(第1導電層)のテーパー部となる部分サイズを小さくして寄生容量を低減すれば、f特性も向上してさらなる高速動作が可能となり、且つ、十分な信頼性を有するTFTとなる。

【0167】なお、画素部207の画素TFTにおいて

も、第2のレーザー光の照射によりオフ電流の低減、およびバラツキの低減が実現される。

【0168】また、本実施例では反射型の表示装置を形成するためのアクティブマトリクス基板を作製する例を示したが、画素電極を透明導電膜で形成すると、フォトマスクは1枚増えるものの、透過型の表示装置を形成することができる。

【0169】また、本実施例は、実施の形態1～3のいずれとも自由に組みあわせることが可能である。

【0170】〔実施例2〕本実施例は、実施例1において、下地絶縁膜の成膜温度と、非晶質構造を有する半導体膜の成膜温度を同一とする例である。

【0171】基板としては、ガラス基板（#1737）を用い、下地絶縁膜としては、プラズマCVD法で成膜温度300℃、原料ガスSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜（組成比Si=32%、O=27%、N=24%、H=17%）を50nm（好ましくは10～200nm）形成する。次いで、表面をオゾン水で洗浄した後、表面の酸化膜を希フッ酸（1/100希釈）で除去する。次いでプラズマCVD法で成膜温度300℃、原料ガスSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）を100nm（好ましくは50～200nm）の厚さに積層形成し、さらに大気解放せずにプラズマCVD法で成膜温度300℃、成膜ガスSiH<sub>4</sub>で非晶質構造を有する半導体膜（ここではアモルファスシリコン膜）を54nmの厚さ（好ましくは25～80nm）で形成する。

【0172】このように下地絶縁膜の成膜温度と、非晶質半導体膜を形成する成膜温度をほぼ同一、本実施例では300℃とすることで下地絶縁膜上に微小な凸部のない平坦性の優れた表面を有する非晶質半導体膜を得ることができ、後の工程でレーザー光を照射しても微小な穴の発生を抑えることができる。また、下地絶縁膜の成膜温度と、非晶質半導体膜を形成する成膜温度とを400℃としても同様の結果が得られる。

【0173】また、実施例1中に示した第2のレーザー光のように、半導体膜に対し真空中または不活性ガス雰囲気中でレーザー光を照射する場合において、微小な穴が発生しやすいので、本実施例は、特に有効である。

【0174】非晶質構造を有する半導体膜の成膜工程以降は、実施例1と同一であるので詳細な説明を省略する。

【0175】本実施例で得られる平坦性の高い半導体膜をTFTの活性層に用いれば、耐圧が上がりTFTの信頼性がさらに向上する。

【0176】また、本実施例は、実施例1、実施の形態1～3のいずれとも自由に組みあわせることが可能である。

【0177】〔実施例3〕本実施例では、実施例1また

は実施例2で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図16を用いる。

【0178】まず、実施例1に従い、図7の状態のアクティブマトリクス基板を得た後、図7のアクティブマトリクス基板上に配向膜を形成しラビング処理を行う。なお、本実施例では配向膜を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0179】次いで、対向基板を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極を画素部に形成し、対向基板の全面に配向膜を形成し、ラビング処理を施した。

【0180】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材で貼り合わせる。シール材にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにしてアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0181】こうして得られた液晶モジュールの構成を図16の上面図を用いて説明する。

【0182】アクティブマトリクス基板301の中央には、画素部304が配置されている。画素部304の上側には、ソース信号線を駆動するためのソース信号線駆動回路302が配置されている。画素部304の左右には、ゲート信号線を駆動するためのゲート信号線駆動回路303が配置されている。本実施例に示した例では、ゲート信号線駆動回路303は画素部に対して左右対称配置としているが、これは片側のみの配置でも良く、液晶モジュールの基板サイズ等を考慮して、設計者が適宜選択すれば良い。ただし、回路の動作信頼性や駆動効率等を考えると、図16に示した左右対称配置が望ましい。

【0183】各駆動回路への信号の入力は、フレキシブルプリント基板（Flexible Print Circuit：FPC）305から行われる。FPC305は、基板301の所定の場所まで配置された配線に達するように、層間絶縁膜および樹脂膜にコンタクトホールを開口し、接続電極309を形成した後、異方性導電膜等を介して圧着され

る。本実施例においては、接続電極はITOを用いて形成した。

【0184】駆動回路、画素部の周辺には、基板外周に沿ってシール剤307が塗布され、あらかじめアクティブマトリクス基板上に形成されたスペーサ310によって一定のギャップ（基板301と対向基板306との間隔）を保った状態で、対向基板306が貼り付けられる。その後、シール剤307が塗布されていない部分より液晶素子が注入され、封止剤308によって密閉される。以上の工程により、液晶モジュールが完成する。

【0185】また、ここでは全ての駆動回路を基板上に形成した例を示したが、駆動回路の一部に数個のICを用いてもよい。

【0186】また、本実施例は、実施の形態1～3、実施例1、及び実施例2のいずれとも自由に組みあわせることが可能である。

【0187】〔実施例4〕実施例1では画素電極が反射性を有する金属材料で形成された反射型の表示装置の例を示したが、本実施例では画素電極を透光性を有する導電膜で形成した透過型の表示装置の例を示す。

【0188】層間絶縁膜を形成する工程までは実施例1と同じであるので、ここでは省略する。実施例1に従って層間絶縁膜を形成した後、透光性を有する導電膜からなる画素電極601を形成する。透光性を有する導電膜としては、ITO（酸化インジウム酸化スズ合金）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3\text{—ZnO}$ ）、酸化亜鉛（ $\text{ZnO}$ ）等を用いればよい。

【0189】その後、層間絶縁膜600にコンタクトホールを形成する。次いで、画素電極と重なる接続電極602を形成する。この接続電極602は、コンタクトホールを通じてドレイン領域と接続されている。また、この接続電極と同時に他のTFTのソース電極またはドレイン電極も形成する。

【0190】また、ここでは全ての駆動回路を基板上に形成した例を示したが、駆動回路の一部に数個のICを用いてもよい。

【0191】以上のようにしてアクティブマトリクス基板が形成される。このアクティブマトリクス基板を用い、実施例3に従って液晶モジュールを作製し、バックライト604、導光板605を設け、カバー606で覆えば、図17にその断面図の一部を示したようなアクティブマトリクス型液晶表示装置が完成する。なお、カバーと液晶モジュールは接着剤や有機樹脂を用いて貼り合わせる。また、基板と対向基板を貼り合わせる際、枠で囲んで有機樹脂を枠と基板との間に充填して接着してもよい。また、透過型であるので偏光板603は、アクティブマトリクス基板と対向基板の両方に貼り付ける。

【0192】また、本実施例は、実施の形態1～3、及び実施例1～3のいずれとも自由に組みあわせることが可能である。

【0193】〔実施例5〕本実施例では、EL（Electro Luminescence）素子を備えた発光表示装置を作製する例を図18に示す。

【0194】図18（A）は、ELモジュールを示す上面図、図18（B）は図18（A）をA—A'で切断した断面図である。絶縁表面を有する基板900（例えば、ガラス基板、結晶化ガラス基板、もしくはプラスチック基板等）に、画素部902、ソース側駆動回路901、及びゲート側駆動回路903を形成する。これらの画素部や駆動回路は、上記実施例に従えば得ることができる。また、918はシール材、919はDLC膜であり、画素部および駆動回路部はシール材918で覆われ、そのシール材は保護膜919で覆われている。さらに、接着材を用いてカバー材920で封止されている。熱や外力などによる変形に耐えるためカバー材920は基板900と同じ材質のもの、例えばガラス基板を用いることが望ましく、サンドブラスト法などにより図18に示す凹部形状（深さ3～10 $\mu\text{m}$ ）に加工する。さらに加工して乾燥剤921が設置できる凹部（深さ50～200 $\mu\text{m}$ ）を形成することが望ましい。また、多面取りでELモジュールを製造する場合、基板とカバー材とを貼り合わせた後、 $\text{CO}_2$ レーザー等を用いて端面が一致するように分断してもよい。

【0195】なお、908はソース側駆動回路901及びゲート側駆動回路903に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）909からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における発光装置には、発光装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0196】次に、断面構造について図18（B）を用いて説明する。基板900上に絶縁膜910が設けられ、絶縁膜910の上方には画素部902、ゲート側駆動回路903が形成されており、画素部902は電流制御用TFT911とそのドレインに電気的に接続された画素電極912を含む複数の画素により形成される。また、ゲート側駆動回路903はnチャネル型TFT913とpチャネル型TFT714とを組み合わせたCMOS回路を用いて形成される。

【0197】これらのTFT（911、913、914を含む）は、上記実施例1のnチャネル型TFT201、上記実施例1のpチャネル型TFT202に従って作製すればよい。

【0198】なお、TFTとEL素子の間に設ける絶縁膜としては、アルカリ金属イオンやアルカリ土金属イオン等の不純物イオンの拡散をブロックするだけでなく、積極的にアルカリ金属イオンやアルカリ土金属イオン等

の不純物イオンを吸着する材料が好ましく、更には後のプロセス温度に耐えうる材料が適している。これらの条件に合う材料は、一例としてフッ素を多く含んだ窒化シリコン膜が挙げられる。窒化シリコン膜の膜中に含まれるフッ素濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上、好ましくは窒化シリコン膜中でのフッ素の組成比を1～5%とすればよい。窒化シリコン膜中のフッ素がアルカリ金属イオンやアルカリ土金属イオン等と結合し、膜中に吸着される。また、他の例としてアルカリ金属イオンやアルカリ土金属イオン等を吸着するアンチモン（Sb）化合物、スズ（Sn）化合物、またはインジウム（In）化合物からなる微粒子を含む有機樹脂膜、例えば、五酸化アンチモン微粒子（ $\text{Sb}_2\text{O}_5 \cdot n\text{H}_2\text{O}$ ）を含む有機樹脂膜も挙げられる。なお、この有機樹脂膜は、平均粒径10～20nmの微粒子が含まれており、光透過性も非常に高い。この五酸化アンチモン微粒子で代表されるアンチモン化合物は、アルカリ金属イオン等の不純物イオンやアルカリ土金属イオンを吸着しやすい。

【0199】画素電極912は発光素子（EL素子）の陽極として機能する。また、画素電極912の両端にはバンク915が形成され、画素電極912上にはEL層916および発光素子の陰極917が形成される。

【0200】EL層916としては、発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、低分子系有機EL材料や高分子系有機EL材料を用いればよい。また、EL層として一重項励起により発光（蛍光）する発光材料（シングレット化合物）からなる薄膜、または三重項励起により発光（リン光）する発光材料（トリプレット化合物）からなる薄膜を用いることができる。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0201】陰極917は全面素子に共通の配線としても機能し、接続配線908を経由してFPC909に電気的に接続されている。さらに、画素部902及びゲート側駆動回路903に含まれる素子は全て陰極917、シール材918、及び保護膜919で覆われている。

【0202】なお、シール材918としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材918はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0203】また、シール材918を用いて発光素子を完全に覆った後、すくなくとも図18に示すようにDLC膜等からなる保護膜919をシール材918の表面（露呈面）に設けることが好ましい。また、基板の裏面を含む全面に保護膜を設けてもよい。ここで、外部入力端子（FPC）が設けられる部分に保護膜が成膜されないように注意することが必要である。マスクを用いて保

護膜が成膜されないようにしてもよいし、CVD装置でマスキングテープとして用いるテフロン（登録商標）等のテープで外部入力端子部分を覆うことで保護膜が成膜されないようにしてもよい。

【0204】以上のような構造で発光素子をシール材918及び保護膜で封入することにより、発光素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い発光装置を得ることができる。

【0205】また、画素電極を陰極とし、EL層と陽極を積層して図18とは逆方向に発光する構成としてもよい。図19にその一例を示す。なお、上面図は同一であるので省略する。

【0206】図19に示した断面構造について以下に説明する。基板1000としては、ガラス基板や石英基板の他にも、半導体基板または金属基板も使用することができる。基板1000上に絶縁膜1010が設けられ、絶縁膜1010の上方には画素部1002、ゲート側駆動回路1003が形成されており、画素部1002は電流制御用TFT1011とそのドレインに電気的に接続された画素電極1012を含む複数の画素により形成される。また、ゲート側駆動回路1003はnチャネル型TFT1013とpチャネル型TFT1014とを組み合わせたCMOS回路を用いて形成される。

【0207】画素電極1012は発光素子の陰極として機能する。また、画素電極1012の両端にはバンク1015が形成され、画素電極1012上にはEL層1016および発光素子の陽極1017が形成される。

【0208】陽極1017は全面素子に共通の配線としても機能し、接続配線1008を経由してFPC1009に電気的に接続されている。さらに、画素部1002及びゲート側駆動回路1003に含まれる素子は全て陽極1017、シール材1018、及びDLC等からなる保護膜1019で覆われている。また、カバー材1021と基板1000とを接着剤で貼り合わせた。また、カバー材には凹部を設け、乾燥剤1021を設置する。

【0209】なお、シール材1018としては、できるだけ可視光に対して透明もしくは半透明な材料を用いるのが好ましい。また、シール材1018はできるだけ水分や酸素を透過しない材料であることが望ましい。

【0210】また、図19では、画素電極を陰極とし、EL層と陽極を積層したため、発光方向は図19に示す矢印の方向となっている。

【0211】本実施例では、実施例1で得られる電気特性、信頼性ともに高いTFTを用いるため、従来の素子に比べて信頼性の高い発光素子を形成することができる。また、そのような発光素子を有する発光装置を表示部として用いることにより高性能な電気器具を得ることができる。

【0212】なお、本実施例は実施の形態1～3、実施例1、実施例2と自由に組み合わせることが可能である。

【0213】【実施例6】実施例1はトップゲート型TFTの例であったが、本発明は、TFTの構造に限定されることなく適用することができる。本実施例では、半導体層を挟んで2つのゲート電極を持つTFTに適用した例を図20に示す。

【0214】まず、基板1100上に第1のゲート配線1101を設ける。第1のゲート配線1101としては、導電性を付与する不純物元素がドーパされた $\text{poly-Si}$ や $\text{WSi}_x$  ( $X=2.0\sim2.8$ )、 $\text{Al}$ 、 $\text{Ta}$ 、 $\text{W}$ 、 $\text{Cr}$ 、 $\text{Mo}$ 等の導電性材料及びそれらの積層構造を用いることができる。なお基板1100からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地絶縁膜を形成してもよい。

【0215】次いで、第1のゲート配線1101を覆って500nm程度の膜厚を有する第1絶縁膜1102を形成する。この第1絶縁膜1102は、プラズマCVD法、またはスパッタ法等で形成されるシリコンを含む絶縁膜を用いる。また、この第1絶縁膜は、有機絶縁物材料膜、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0216】次いで、実施の形態1乃至3のいずれか一に従って第2絶縁膜1103と非晶質構造を有する半導体膜、ここでは非晶質シリコン膜とをプラズマCVD法を用い、同じ成膜温度で積層形成する。第2絶縁膜1103上に上記微小な凸部のない平坦性の優れた表面を有する非晶質半導体膜を得ることができ、後の工程でレーザー光を照射しても上記微小な穴の発生を抑えることができる。

【0217】また、本実施例では、第2絶縁膜1103と非晶質構造を有する半導体膜との成膜温度を同じにした例を示したが、第1絶縁膜1102と第2絶縁膜1103と非晶質構造を有する半導体膜の成膜温度を全て同じにしてもよい。なお、本実施例において、半導体膜に対する下地絶縁膜が第1絶縁膜及び第2絶縁膜である。

【0218】次いで、非晶質構造を有する半導体膜を実施の形態1または実施例1に記載の結晶化技術を用いて結晶化させて結晶質シリコン膜( $\text{poly-Si}$ )を形成した後、島状にパターニングを施した。本実施例では、実施例1の結晶化技術を用い、さらに実施例1に示した半導体膜表面の平坦化を行う第2のレーザー光の照射を窒素雰囲気中または真空中で行う。こうして得られる平坦性の高い半導体膜をTFTの活性層に用いれば、耐圧が上がりTFTの信頼性が向上する。

【0219】次いで、半導体層を覆うゲート絶縁膜1107を形成した後、第2のゲート電極1108を形成す

る。次いで、半導体にn型を付与する不純物元素(P、As等)、ここではリンを適宜添加して、ソース領域1104及びドレイン領域1105を形成する。添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。

【0220】以降の工程は、層間絶縁膜1109を形成し、水素化を行って、ソース領域、ドレイン領域に達するコンタクトホール、第1のゲート電極に達するコンタクトホール、第2のゲート電極に達するコンタクトホールなどを形成し、ソース電極1110、ドレイン電極1111などを形成してTFT(nチャネル型TFT)を完成させる。こうして得られるTFTを図20(A)に示す。なお、図20(A)中、1106はチャネル形成領域である。

【0221】また、本構成によれば、各画素のTFTは、チャネル形成領域1106の上方及び下方に絶縁膜を介してゲート電極を備えたデュアルゲート構造とすることができ、第1絶縁膜及び第2絶縁膜を適切な膜厚に設定することにより、第1のゲート電極と他の配線とで形成される寄生容量を抑制しながらTFTの特性を向上することができる。また、本実施例の構造はデュアルゲート構造となっているため、S値は優れた値を示す。

【0222】また、図20(A)に示したように上記工程では、半導体層が第1のゲート電極の影響を受けて段差が形成される。

【0223】この段差をなくすため、CMP(Chemical Mechanical Polishing)技術などの平坦化を行えば、図20(B)に示すTFT構造を得ることができる。

【0224】まず、基板1200上に第1のゲート電極1201を形成し、第1絶縁膜を形成する。次いで、CMP法または機械的ポリッシングにより表面を研磨して平坦な第1絶縁膜1202を形成する。例えば、第1絶縁膜における表面の最大高さ( $R_{\text{max}}$ )が0.5 $\mu\text{m}$ 以下、好ましくは0.3 $\mu\text{m}$ 以下となるようにする。

【0225】CMP法ではスラリーなどを用いるため、不純物が混入しやすい。そこで、さらに第2絶縁膜1203を形成する。第2絶縁膜1203を設け、後に形成される半導体層への不純物拡散を防止する。本実施例では、実施の形態1乃至3のいずれか一に従って第2絶縁膜1203と非晶質構造を有する半導体膜、ここでは非晶質シリコン膜とをプラズマCVD法を用い、同じ成膜温度で積層形成する。第2絶縁膜1203上に上記微小な凸部のない平坦性の優れた表面を有する非晶質半導体膜を得ることができ、後の工程でレーザー光を照射しても上記微小な穴の発生を抑えることができる。

【0226】また、第2絶縁膜1203と非晶質構造を有する半導体膜との成膜温度を同じにした例を示したが、第1絶縁膜1202と第2絶縁膜1203と非晶質構造を有する半導体膜の成膜温度を全て同じにしてもよい。なお、本実施例において、半導体膜に対する下地絶

縁膜が第1絶縁膜及び第2絶縁膜である。

【0227】次いで、非晶質構造を有する半導体膜を実施の形態1または実施例1に記載の結晶化技術を用いて結晶化させて結晶質シリコン膜（poly-Si）を形成した後、島状にパターニングを施す。本実施例では、実施例1の結晶化技術を用い、さらに実施例1に示した半導体膜表面の平坦化を行う第2のレーザー光の照射を窒素雰囲気中または真空中で行う。こうして得られる平坦性の高い半導体膜をTFTの活性層に用いれば、耐圧が上がりTFTの信頼性が向上する。

【0228】次いで、半導体層を覆うゲート絶縁膜1207を形成した後、第2のゲート電極1208を形成する。次いで、半導体にn型を付与する不純物元素（P、As等）、ここではリンを適宜添加して、ソース領域1204及びドレイン領域1205を形成する。添加した後、不純物元素を活性化するために加熱処理、強光の照射、またはレーザー光の照射を行う。

【0229】以降の工程は、層間絶縁膜1209を形成し、水素化を行って、ソース領域、ドレイン領域に達するコンタクトホール、第1のゲート電極に達するコンタクトホール、第2のゲート電極に達するコンタクトホールなどを形成し、ソース電極1210、ドレイン電極1211などを形成してTFT（nチャネル型TFT）を完成させる。こうして得られるTFTを図20（B）に示す。なお、図20（B）中、1206はチャネル形成領域である。

【0230】図20（B）の構成は、図20（A）と比較して平坦化処理の工程が増えるが、より平坦な半導体膜表面を有する構造とすることができる。

【0231】なお、本実施例は実施の形態1～3、実施例1～5と自由に組み合わせることが可能である。

【0232】〔実施例7〕図21は本発明に適用可能なレーザー処理装置の一態様を示す図である。この装置はレーザー700、光学系701、基板ステージ702、基板搬送手段704、ブローワ710などから構成されている。また、付随するものとして、基板711を保管するカセット708、カセットを保持する707、ブローワから供給されたガスで基板上のゴミ等を除去するためのガス噴出口となるノズル709などが備えられている。なお、ノズル709から放出するガスはレーザー光が照射される領域およびその周辺に吹き付けられる。また、ノズル709から放出するガスを加熱させれば、基板をも加熱することも可能である。

【0233】レーザーは波長400nm以下の光を発振するエキシマレーザーなどの気体レーザーや、Nd-YAGレーザー、YLFレーザーなどの固体レーザーを用いる。Nd-YAGレーザーでは基本波（1060nm）の他に、第2高調波（532nm）や第3高調波（353.3nm）などを用いることができる。これらのレーザーはパルス発振するものを用い、発振周波数は5～300Hz

程度のものが採用される。

【0234】光学系710はレーザー700から放出されるレーザー光を集光及び伸張して、被照射面に断面形状が細い線状のレーザー光を照射するためのものである。その構成は任意なものとして良いが、シリンドリカルレンズアレイ712、シリンドリカルレンズ713、ミラー714、ダブレットシリンドリカルレンズ715などを用いて構成する。レンズの大きさにもよるが、長手方向は100～400mm程度、短手方向は100～500μm程度の線状レーザー光を照射することが可能である。

【0235】ステージ702は処理する基板711を保持し、レーザーと同期して移動させるためのものである。

【0236】基板711のカセット708からの取り出し、及びレーザー処理に伴う移動は搬送手段704により行う。搬送手段704にはアーム705が備えられている。アーム705は基板711の一端を掴み一軸方向に動かすことにより、前述の線状レーザー光を基板の全面に照射することが可能となる。搬送手段704は制御装置706によりレーザー700の発振と連動して動作させる。

【0237】また、基板711の一边が線状レーザー光の長手方向の長さよりも大きい場合には、一軸方向と直交する方向に基板を動かすことが可能な搬送手段を設ける（図示せず）。互いに交差する方向に基板を動かすことが可能な2つの搬送手段により、前述の線状レーザー光を基板の全面に照射することが可能となる。

【0238】このようなレーザー装置は、特に一边が1000mmを超え、かつ厚さが1mm以下のガラス基板を処理する場合にも適用できる。例えば、1200mm×1600mmや2000mm×2500mmであって、厚さが0.4～0.7mmのガラス基板を処理することもできる。

【0239】また、本実施例は、実施の形態1～3、或いは実施例1乃至6のいずれかと自由に組み合わせることが可能である。例えば、実施例1における第1のレーザー光の照射に適用することが可能であり、その際ノズルから吹きつけるガスを大気または酸素を含むガスとしてレーザー光の照射領域に吹きつけられればよい。また、実施例1における第2のレーザー光の照射に適用することも可能であり、その場合には、ノズルから吹きつけるガスを不活性気体、例えば窒素としてレーザー光の照射領域に吹きつけ、半導体膜表面の平坦化を行えばよい。従って、本実施例と実施例1と組み合わせる場合、レーザー光の照射処理室内の雰囲気を入れ替える必要なく、ノズルから吹きつけるガスを適宜切り替えることによって第1のレーザー光の照射及び第2のレーザー光の照射を短時間で行うことができる。

【0240】〔実施例8〕本発明を実施して形成された駆動回路や画素部は様々なモジュール（アクティブマト



リクス型液晶モジュール、アクティブマトリクス型ELモジュール、アクティブマトリクス型ECモジュール)に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0241】その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図22～図24に示す。

【0242】図22(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0243】図22(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0244】図22(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0245】図22(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0246】図22(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0247】図22(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

【0248】図23(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶モジュール2808に適用することができる。

【0249】図23(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶モジュール2808に適用

することができる。

【0250】なお、図23(C)は、図23(A)及び図23(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶モジュール2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図23(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0251】また、図23(D)は、図23(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図23(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0252】ただし、図23に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びELモジュールでの適用例は図示していない。

【0253】図24(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906、画像入力部(CCD、イメージセンサ等)2907等を含む。本発明を表示部2904に適用することができる。

【0254】図24(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0255】図24(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。

【0256】ちなみに図24(C)に示すディスプレイは中小型または大型のもの、例えば5～20インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一辺が1mのものをいい、多面取りを行って量産することが好ましい。

【0257】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。また、本実施例の電子機器は実施例1～



7のどのような組み合わせからなる構成を用いても実現することができる。

【0258】

【発明の効果】本発明により、下地絶縁膜上に図26に示したような微小な凸部のない平坦性の優れた表面を有する非晶質半導体膜を得ることができ、レーザー光を照射しても図25に示したような微小な穴の発生を抑えることができる。

【0259】また、半導体膜に対し真空中または不活性ガス雰囲気中でレーザー光を照射する場合においても、図25に示したような微小な穴の発生を抑えることができる。

【0260】本発明により平坦性の高い半導体膜をTFTの活性層に用いれば、耐圧が上がりTFTの信頼性が向上する。特にTFTのオフ電流値を低減することができるとともに、バラツキも抑制することができる。従って、そのようなTFTを用いた半導体装置の動作特性を向上させ、かつ、低消費電力化を実現することができる。

【図面の簡単な説明】

【図1】 本発明を示す図。(実施の形態1)

【図2】 本発明を示す図。(実施の形態2)

【図3】 本発明を示す図。(実施の形態3)

【図4】 本発明を示す図。(実施の形態3)

【図5】 アクティブマトリクス基板の作製工程を示す図。

【図6】 アクティブマトリクス基板を示す図。

【図7】 アクティブマトリクス基板を示す図。

【図8】 ゲート電極近傍を観察したTEM写真図。

【図9】 TFT(ゲート絶縁膜115nm)における劣化率を示すグラフである。

【図10】 TFT(ゲート絶縁膜80nm)における

劣化率を示すグラフである。

【図11】 TFT(ゲート絶縁膜60nm)における劣化率を示すグラフである。

【図12】  $L/W=2/8$ であるTFT(ゲート絶縁膜115nm)におけるオフ電流値を示すグラフである。

【図13】  $L/W=2/8$ であるTFT(ゲート絶縁膜80nm)におけるオフ電流値を示すグラフである。

【図14】  $L/W=2/8$ であるTFT(ゲート絶縁膜60nm)におけるオフ電流値を示すグラフである。

【図15】  $L/W=7/40$ であるTFT(ゲート絶縁膜60nm)におけるオフ電流値を示すグラフである。

【図16】 AM-LCDの外観を示す図。(実施例3)

【図17】 液晶表示装置の断面図の一例を示す図である。(実施例4)

【図18】 ELモジュールの上面および断面を示す図である。(実施例5)

【図19】 ELモジュールの断面を示す図である。(実施例5)

【図20】 TFTの一例を示す図である。(実施例6)

【図21】 レーザー装置を示す図である。(実施例7)

【図22】 電子機器の一例を示す図。

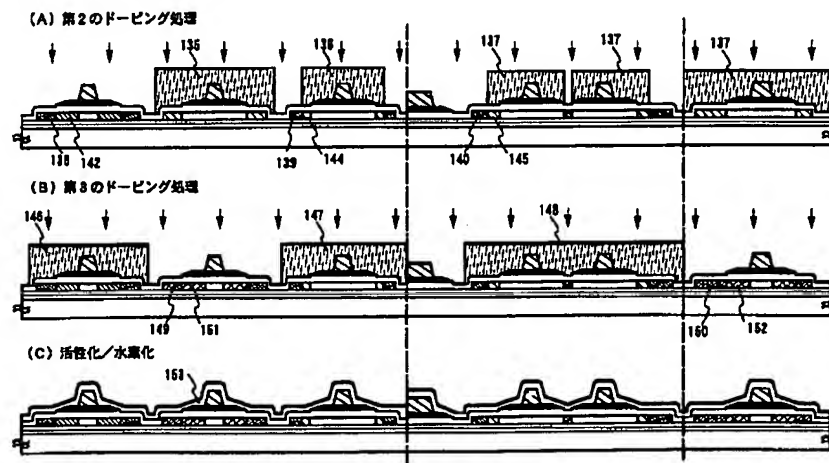
【図23】 電子機器の一例を示す図。

【図24】 電子機器の一例を示す図。

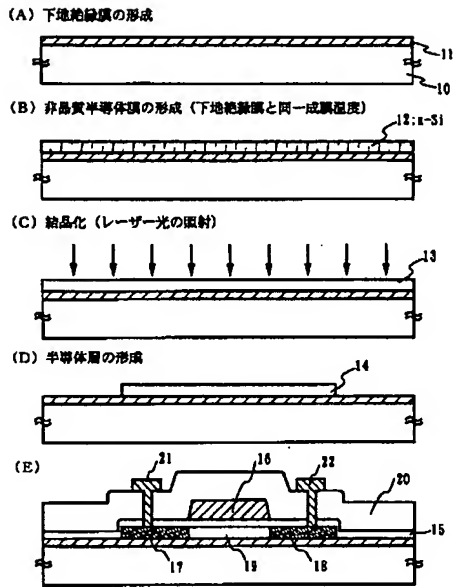
【図25】 微小な凸部を観察したSEM(5万倍)写真図。

【図26】 微小な穴を観察したSEM(3.5万倍)写真図。

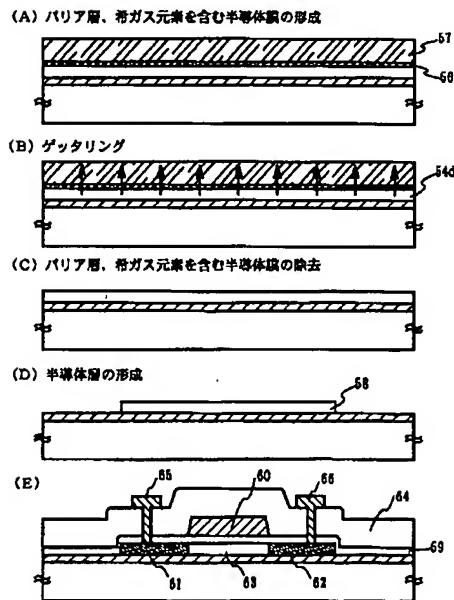
【図6】



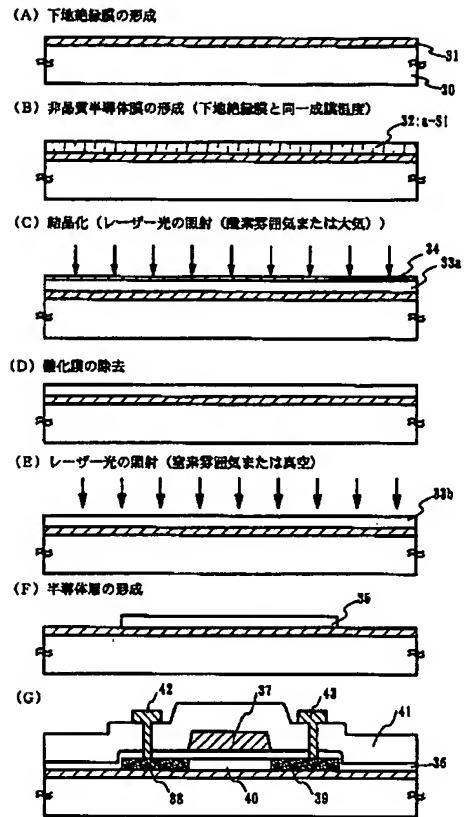
【図 1】



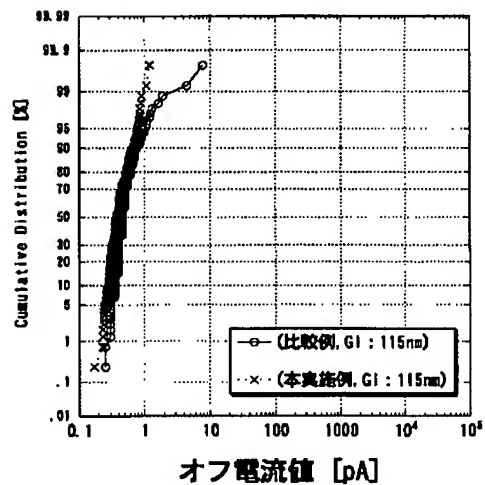
【図 4】



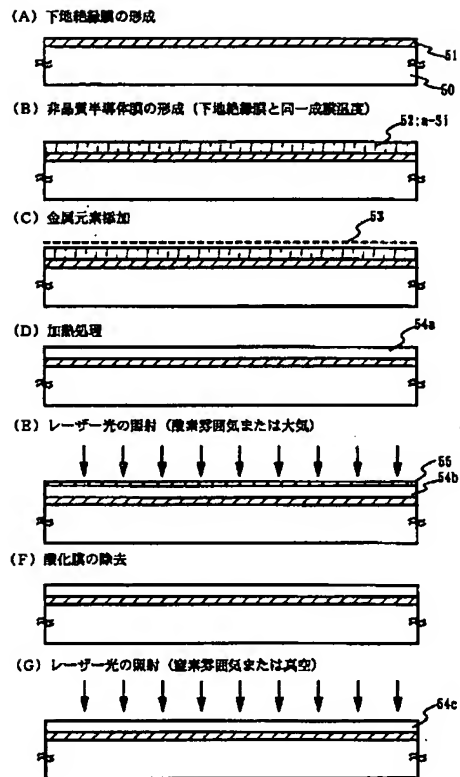
【図 2】



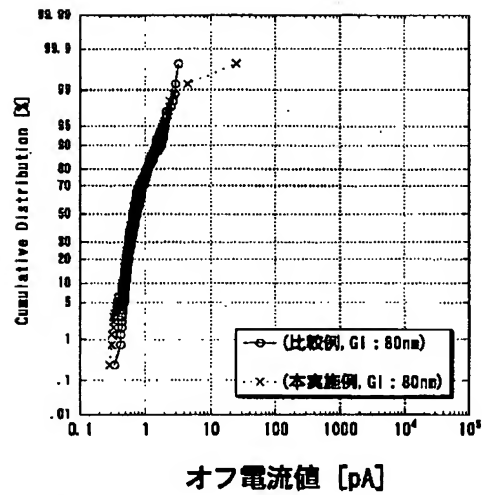
【図 12】



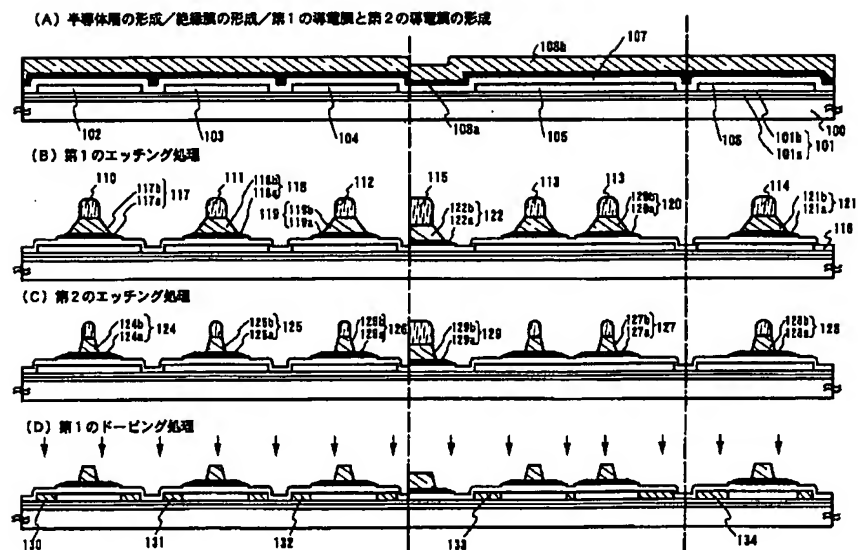
【図3】



【図13】

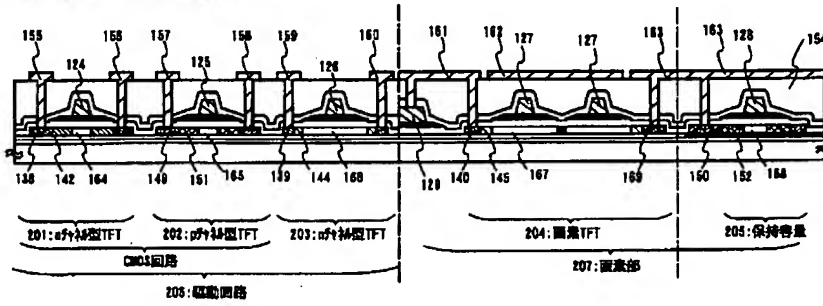


【図5】

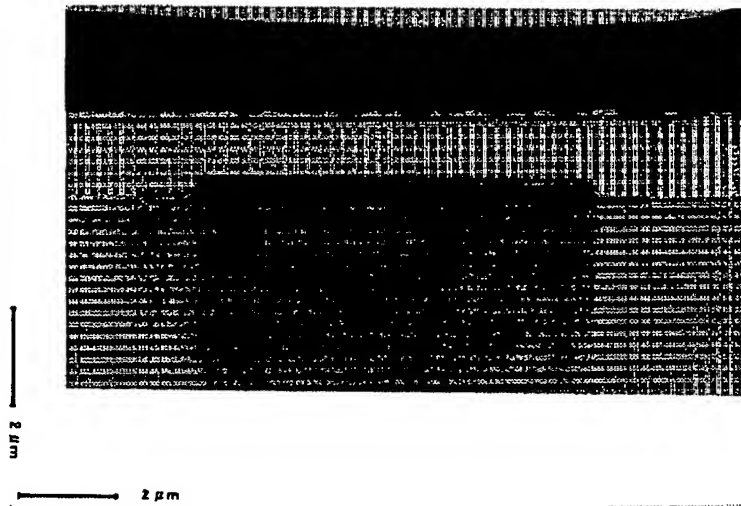


【図7】

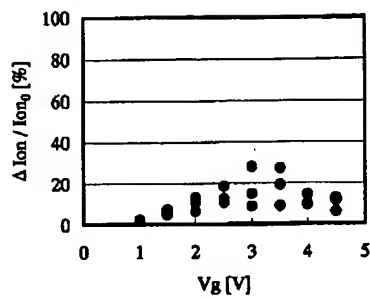
層間絶縁膜形成/画素電極、配線形成



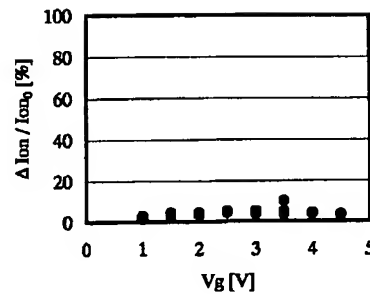
【図8】



【図9】



(a) 比較例

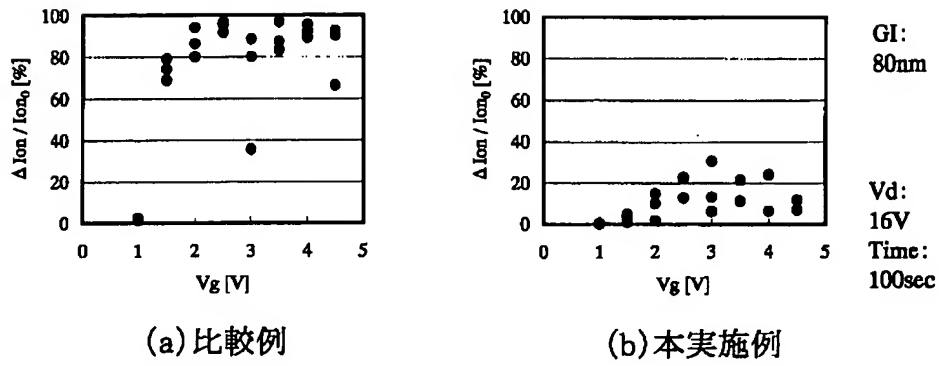


(b) 本実施例

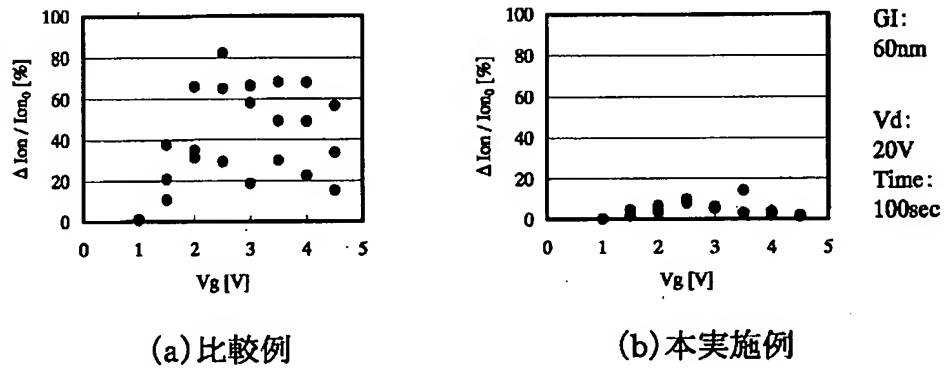
GI:  
115nm

Vd:  
25V  
Time:  
100sec

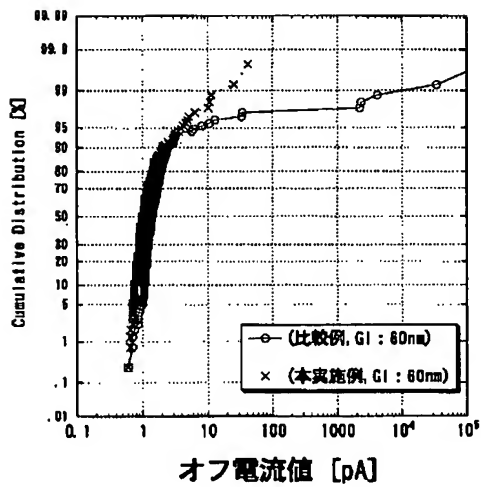
【図10】



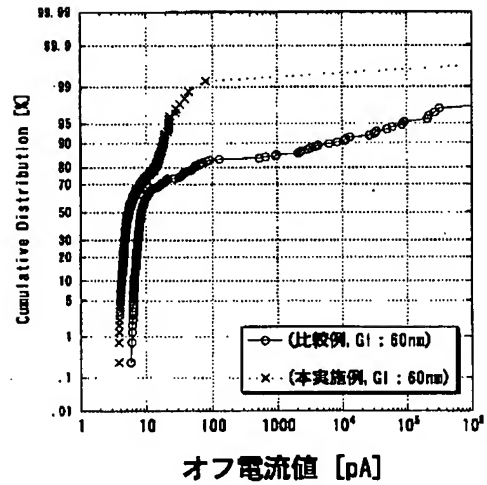
【図11】

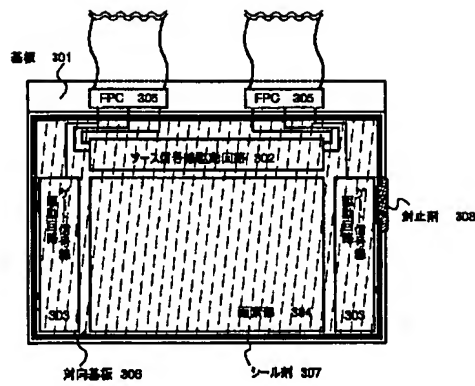
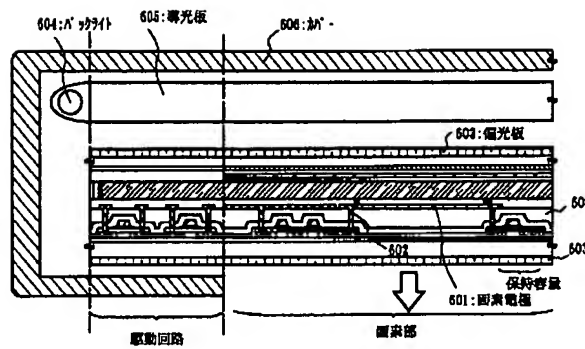


【図14】

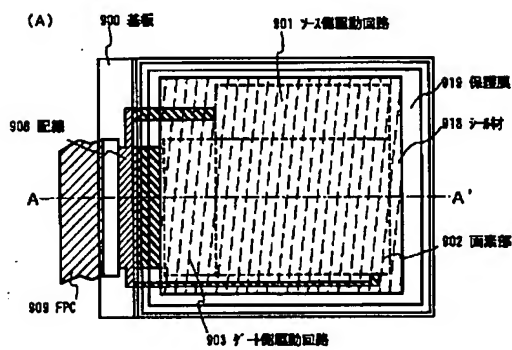
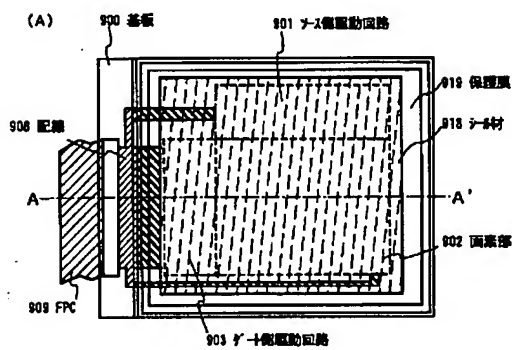
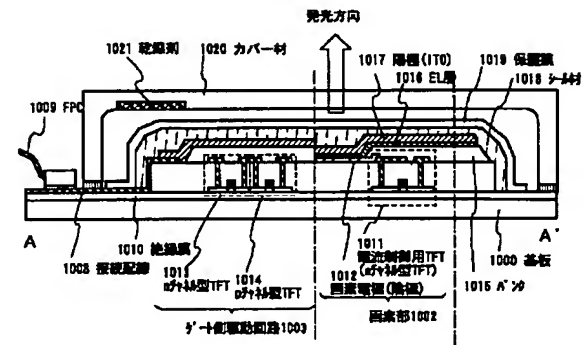
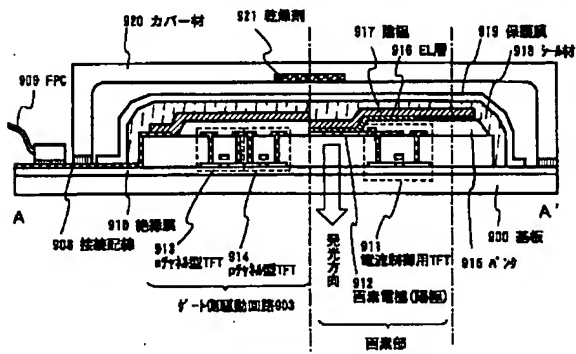


【図15】

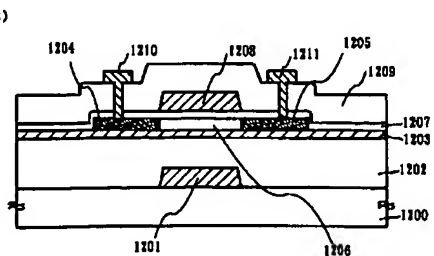
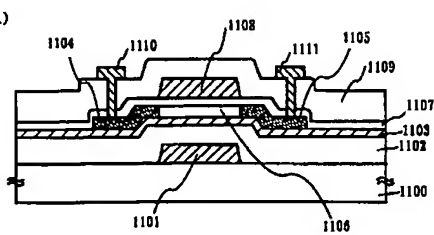


[illegible]

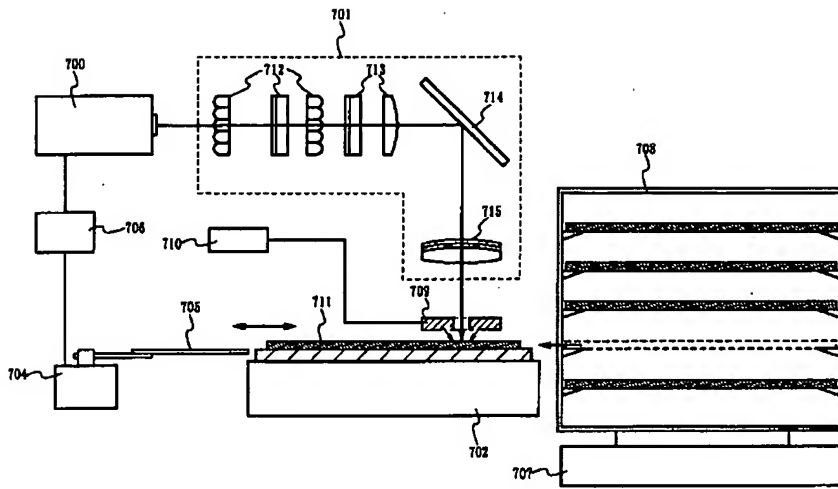
【図 18】

[illegible]

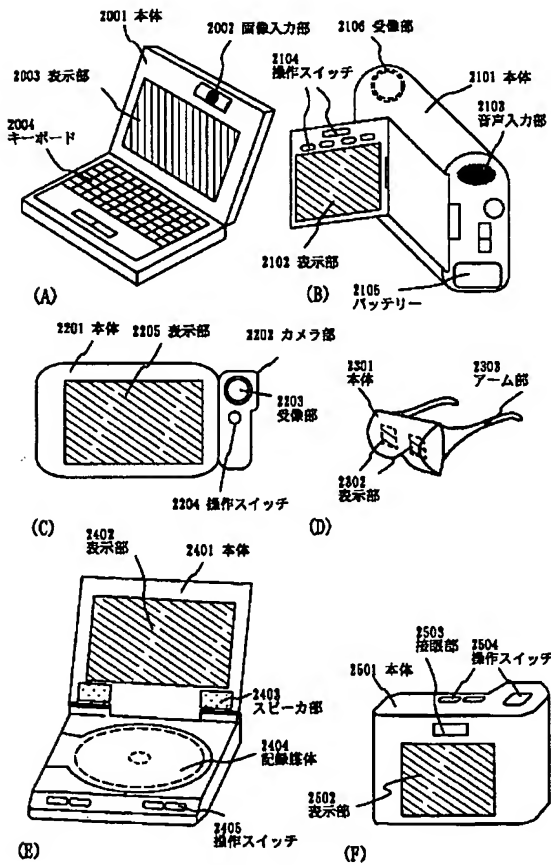
A cross-sectional view of a semiconductor device. It features a central gate structure (1108) on a substrate (1100). The gate structure is flanked by side contacts (1104 and 1105) and a central contact (1101). The device includes a gate oxide layer (1102) and a gate electrode (1103). The side contacts are connected to a common terminal (1109) on the right. The central contact is connected to a common terminal (1106) on the left. The gate structure is connected to a common terminal (1110) on the left. The side contacts are connected to a common terminal (1111) on the right. The gate oxide layer is connected to a common terminal (1107) on the right. The gate electrode is connected to a common terminal (1108) on the left. The substrate is connected to a common terminal (1100) on the left.



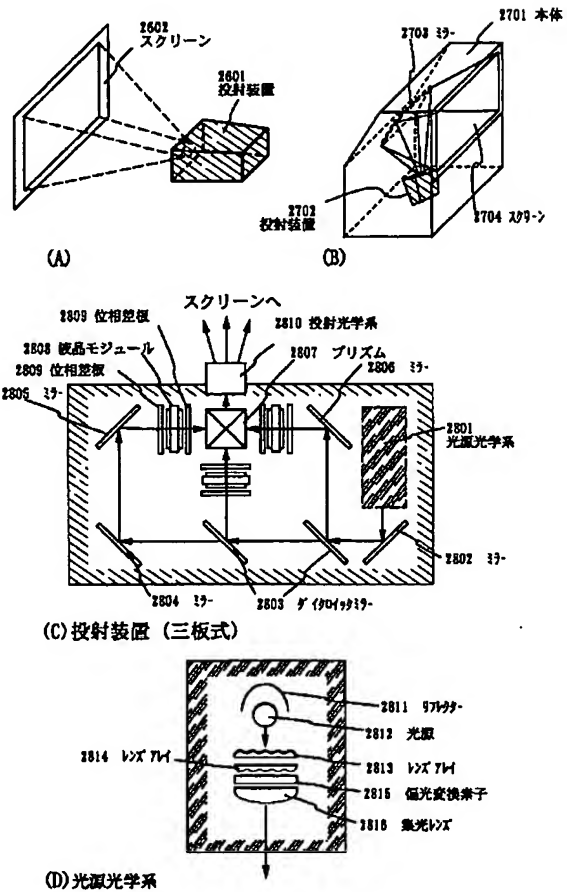
【図 2 1】



【図 2 2】

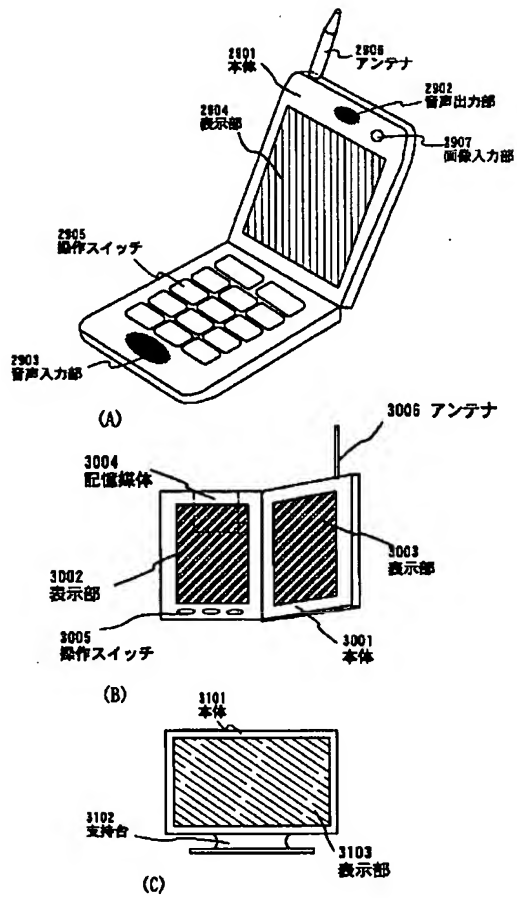


【図 2 3】

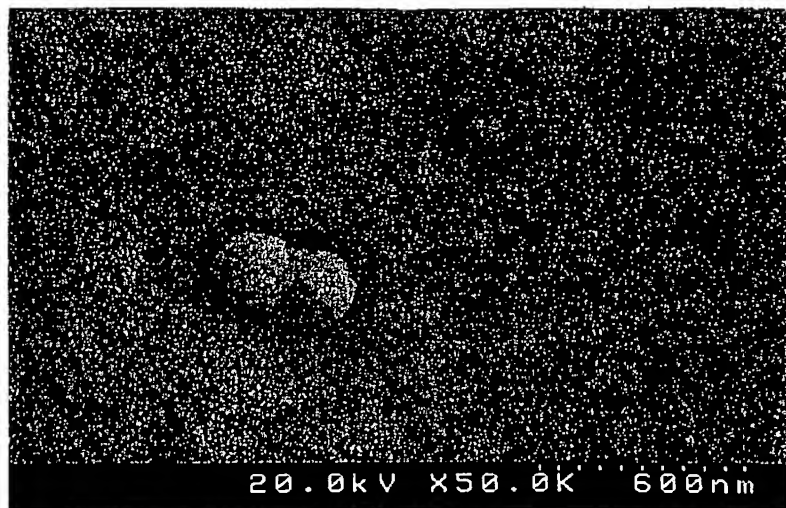




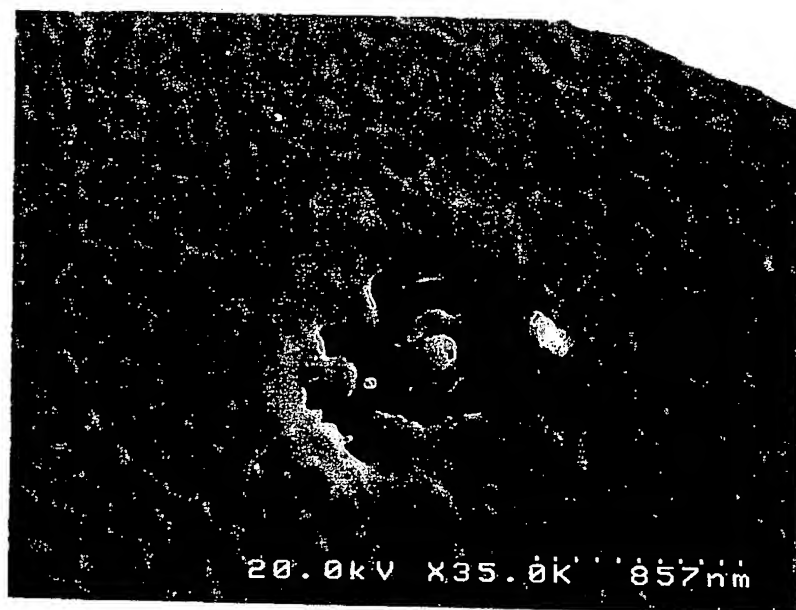
【図 24】



【図 25】



【図26】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I  
H 0 1 L 29/78

テーマコード(参考)

6 2 7 A  
6 2 7 Z

F ターム(参考) 2H092 GA59 JA25 JA34 JA37 JA41  
JA46 JB56 KA04 KA05 KA10  
KB24 KB25 MA08 MA13 MA17  
MA18 MA27 MA30 NA27 NA29  
5F052 AA02 BA02 BA15 BA18 BB02  
BB07 CA08 DA01 DA02 DA03  
DB03 EA11 EA15 EA16 FA06  
FA19 JA01  
5F110 AA06 AA09 AA13 AA18 BB02  
BB04 CC02 CC04 CC06 CC08  
DD01 DD02 DD03 DD05 DD13  
DD14 DD15 DD17 EE01 EE02  
EE03 EE04 EE05 EE06 EE09  
EE14 EE15 EE23 EE28 EE30  
EE42 FF01 FF02 FF03 FF04  
FF09 FF30 GG01 GG02 GG13  
GG25 GG28 GG29 GG32 GG43  
GG45 GG47 GG51 GG60 HJ01  
HJ04 HJ12 HJ13 HJ23 HL03  
HL04 HL06 HL07 HM13 HM15  
NN03 NN04 NN23 NN24 NN27  
NN35 NN72 NN73 NN78 PP01  
PP02 PP03 PP04 PP05 PP06  
PP10 PP13 PP29 PP34 PP35  
QQ03 QQ04 QQ09 QQ11 QQ19  
QQ21 QQ23 QQ25 QQ28